

システム・ドライバ

概要

将来の半導体の生産能力および設計技術は、世界の半導体産業を牽引するドライバ商品からの要求に応じて開発されています。ITRS は、そのビジネスおよび機械設備の改善を行うサイクルが半導体領域をドライブするような製品分野のための技術的要求がどのように発生するか理解する必要があります。2001 年までは、ITRS 報告書で、マイクロプロセッサ(MPU)、DRAM(DRAM)および特定用途向け IC(ASIC)の各製品分野に注目し、SoC およびアナログ・ミックスド・シグナル回路にも触れました。暗黙の仮定として、継続的な技術進歩が全ての半導体製品に対して展開するだろうと考えられたため、個々の製品分野(たとえば MPU あるいは ASIC)の詳細に関しては触れませんでした。今日、各商品はそれぞれ異なった技術の組合せを要求するため新しい技術導入はますます応用製品がドライブする傾向にあります。パソコン用の汎用マイクロプロセッサとともに無線通信や組み込み応用のためのミックスド・シグナル・システムもこのようなドライバとなっています。テクノロジー・ドライバは、今や据え置き型サーバよりは、むしろバッテリー駆動のモバイル・デバイスに移っています。従来組織内だけで行われてきた、シングルソースのチップ設計は、マルチソースからのビルディングブロック方式の設計スタイルによるシステム・オン・チップやシステム・イン・パッケージの設計によって取って代わられています。

2003 年版 ITRS システム・ドライバの章では、以前の報告書で議論したシステム・ドライバを更新し、より明白な定義付けを試みています。全般的なロードマップ技術特性と一緒に、システム・ドライバの章は、それぞれの ITRS 技術領域と ITRS の 15 年の期間を通じた技術的要求のための首尾一貫したフレームワークおよび動機づけを提供しています。この章の主要な目的は、将来の技術へ外挿でき、将来の技術開発にもっと滑らかに適合するシステム・ドライバの、定量的で内部に自己矛盾がないモデルを構築することです。私たちは 4 つのシステム・ドライバに注目します: システム・オン・チップ(SoC)、マイクロプロセッサ(MPU)、アナログ・ミックスド・シグナル(AMS)、および、混載メモリです。まず、これらのシステム・ドライバについて述べる前に、半導体製品の主要なマーケット・ドライバについて概観します。また、読者は NEMI roadmap, <http://www.nemi.org>を参考にしてください。

マーケット・ドライバ

表 8 では製造のボリューム、ダイサイズ、複合技術の集積、システムの複雑さ、タイムトゥマーケットのような要因によって半導体製品市場を対比しています。この表で、各分野における SoC、AMS、MPU への影響が示されています。¹

¹The market drivers are most clearly segmented according to cost, time-to-market, and production volume. System cost is equal to Manufacturing cost + Design cost. Manufacturing cost breaks down further into non-recurring engineering (NRE) cost (masks, tools, etc.) and silicon cost (raw wafers + processing + test). The total system depends on function, number of I/Os, package cost, power and speed. Different regions of the (Manufacturing Volume, Time To Market, System Complexity) space are best served by FPGA, Structured-ASIC, or SOC implementation fabrics, and by single-die or system-in-package (SIP) integration. This partitioning is continually evolving.

表8 Major Product Market Segments and Impact on System Drivers

MARKET DRIVERS	SOC	ANALOG/MS	MPU
<i>I. Portable and Wireless</i>			
1. Size/weight ratio: peak in 2004 2. Battery life: peak in 2004 3. Function: 2x/2 years 4. Time-to-market: ASAP	Low power paramount Need SOC integration (DSP, MPU, IO cores, etc.)	Migrating on-chip for voice processing, A/D sampling, and even for some RF transceiver function	Specialized cores to optimize processing per microwatt.
<i>II. Broadband</i>			
1. Bandwidth: 2x/9 months 2. Function: 20%/yr increase 3. Deployment/Operation Cost: flat 4. Reliability: asymptotic 99.999% 5. Time-in-market: long 6. Power: W/m ² of system	Large gate counts. High reliability. Primarily SOC.	Migrating on-chip for signal recovery, A/D sampling etc.	MPU cores and some specialized functions.

表8 Major Product Market Segments and Impact On System Drivers (continued)

MARKET DRIVERS	SOC	ANALOG/MS	MPU
<i>III. Internet Switching</i>			
1. Bandwidth: 4x/3-4 yrs. 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ² of system	Large gate counts. High reliability. More reprogrammability to accommodate custom functions.	Migrating on-chip for MUX/DEMUX circuitry. MEMS for optical switching	MPU cores, FPGA cores and some specialized functions.
<i>IV. Mass Storage</i>			
1. Density: 60% increase/year 2. Speed: 2x by 2007 3. Form factor: shift toward 2.5"	High-speed front-end for storage systems. Primarily ASSP. Shift toward large FPGA and COT, away from ASIC costs and design flows	Highest-speed A/D sampling on chip. Increases for higher precision in positioning, "inertia knowledgeable" actuation, on-chip power control. MEMS sensing on RW head as an SIP option.	High-speed hardware for, e.g., "look-ahead" in DB search, MPU instruction pre-fetch, data compression, SN monitoring, failure prediction.
<i>V. Consumer</i>			
1. Cost: strong downward pressure 2. Time-to-market: <12 mos 3. Function: high novelty 4. Form factor 5. Durability/safety 6. Conservation/ecology	High-end products only. Reprogrammability possible. Mainly ASSP; more SOC for high-end digital with cores for 3D graphics, parallel proc, RTOS kernel, MPU/MMU-DSP, voice synthesis and recognition, etc.	Increased integration for voice, visual, tactile, physical measurement (e.g., sensor networks). CCD or CMOS sensing for cameras.	For "long-life" mature products only. Decrease in long design cycles, and in use of high-cost non-prepackaged functions and design flows.

VI. Computer			
1. Speed: 2x/2 years 2. Memory density: 2x/2 years 3. Power: flat to decreasing, driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts. High speed. Drives demand for digital functionality. Primarily SOC integration of custom off-the-shelf MPU and I/O cores.	Minimal on-chip analog. Simple A/D and D/A. Video iff for automated camera monitoring, video conferencing. Integrated high-speed A/D, D/A for monitoring, instrumentation, and range-speed-pos resolution.	MPU cores and some specialized functions. Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems).
VII. Automotive			
1. Functionality 2. Ruggedness (external environment, noise) 3. Reliability and safety 4. Cost	Mainly entertainment systems. Mainly ASSP, but increasing SOC for high end using standard HW platforms with RTOS kernel, embedded software.	Cost-driven on-chip A/D and D/A for sensor and actuators. Signal processing shifting to DSP for voice, visual. Physical measurement ("communicating sensors" for proximity, motion, positioning). MEMS for sensors.	

システム・オン・チップ ドライバ

SoC は今後も発展の見込める製品分野および設計スタイルです。重要なことは、SoC は他のシステム・ドライバ分野 (MPU、混載メモリ、AMS、そして、プログラマブル論理) からの技術や設計要素を統合して、広範囲で高度な複雑さおよび高付加価値の半導体製品に対応していることです。SoC の生産および設計技術は、一般的に専用の量産製品のために元々開発されたものです。SoC ドライバはASICに最も似ており、また低設計コストおよび高レベルのシステム・インテグレーションがその主要なゴール² であることから、ASICから最も直接的に発展してきました。ASIC との主要な差は、SoC 設計では、そのゴールが既存ブロックあるいは「コア」の再利用率を最大にすることであるということです。つまり、新規に設計されるチップ上の規模を最小限にするのです。SoC 中の再利用されるブロックは、アナログおよび大量に使用される専用コアだけでなく、ソフト・ブロックも含んでいます。そのキー・チャレンジは、SoC 設計者³ に役に立つ再利用可能なブロックあるいはコアを企画、作成しメンテナンスすることです。SoC の有用性は、再利用に基づいた SoC 設計の検証が同等品の「スクラッチからの設計」よりも容易かどうかにも依存します。

SoC は、いくつかの方法でそれまでの製品分野を統合して行っています。上に述べたように、SoC は他のシステム・ドライバ分野のコアをビルディングブロック方式で集積し、ASIC 商品カテゴリをも包含しています。フルカスタムおよび ASIC/SoC の間の品質ギャップは低減しています。それは、(i) 2001 年 ITRS では ASIC および MPU ロジック密度を等し

²Most digital designs today are considered to be ASICs. ASIC connotes both a business model (with particular "handoff" from design team to ASIC foundry) and a design methodology (where the chip designer works predominantly at the functional level, coding the design at Verilog/VHDL or higher level description languages and invoking automatic logic synthesis and place-and-route with a standard-cell methodology). For economic reasons, custom functions are rarely created; reducing design cost and design risk is paramount. ASIC design is characterized by relatively conservative design methods and design goals (cf. differences in clock frequency and layout density between MPU and ASIC in previous ITRS editions) but aggressive use of technology, since moving to a scaled technology is a cheap way of achieving a better (smaller, lower power, and faster) part with little design risk (cf. convergence of MPU and ASIC process geometries in previous ITRS editions). Since the latter half of the 1990s, ASICs have been converging with SOCs in terms of content, process technology, and design methodology.

³For example, reusable cores might require characterization of specific noise or power attributes ("field of use", or "assumed design context") that are not normally specified. Creation of an IC design artifact for reuse by others is substantially more difficult (by factors estimated at between 2x and 5x) than creation for one-time use.

4 システム・ドライバ

いとしてモデル化しています。(ii)そして、「ASIC スケジュールでのカスタム設計並みの性能」はオンザフライ(「リキッド」)あるいは最適化再生成のスタンダード・セル設計手法によって次第に達成されています。最終的には MPU は SoC へ発展していきます。つまり、(i) MPU は次第に SoC に使われるコアとして設計されるようになるでしょう。(ii)その再利用性と設計生産性を改善するために MPU それ自身も SoC として設計されてゆきます。(後で議論されるように ITRS の MPU モデルは複数の演算処理コアを持っており、構成は SoC に似ています)。最も基本的な SoC の挑戦はインプリメンテーションの生産性および製造原価です。それはより大規模な再利用とともにプラットフォームに基づいた設計、シリコン・インプリメンテーションの規則性あるいは他の斬新な回路およびシステム・アーキテクチャ・パラダイムも要求します。別の挑戦は多数のインプリメンテーション要素(たとえば、リプログラマブルデバイス、メモリ、アナログ、RF、MEMS、ソフトウェア)からのコンポーネントのヘテロジニアスなインテグレーションです。

SoC ドライバは、設計生産性を改善する知的資産(IP)の多くの再利用と、そして、異種技術を潜在的に包含するシステム・インテグレーションによって特徴づけられます。SoC は低コストおよび高密度の統合を提供するために存在します。コストの考察は、早いターンアラウンド期間の設計方法論に加え、低消費電力プロセスおよび安価なパッケージング・ソリューションの準備をドライブします。後者は、順番に、IP 記述、IP テスト(内蔵の自己テストおよび自己修復を含んで)、ブロック・インターフェイス合成などのための新しい基準および方法論が必要です。統合の考察は、チップ・パッケージ共通最適化の必要と同様に特別のシステム・コンポーネント(メモリ、センサなど)がインプリメントされる異種混合の技術(フラッシュ、DRAM、アナログ、RF、MEMS、FRAM、MRAM、化学センサなど)の必要性をドライブします。このように、SoC は同一システム・パッケージだけでなく、同一製造プロセスの中で多重技術の集積可能性を秘めたドライバです。私たちは、複合技術統合(MT)、高性能(HP)および低消費電力と低コスト(LP)によって各々ドライブされる 3 つの形態に関して、SoC の性質および発展を議論します。この分割は、解体の意味でなく、むしろ主要な考えの各々を分けること意味します(例えば、低消費電力設計は高性能設計も意味し、同時にパッケージおよびシステム・コストを減少します)。

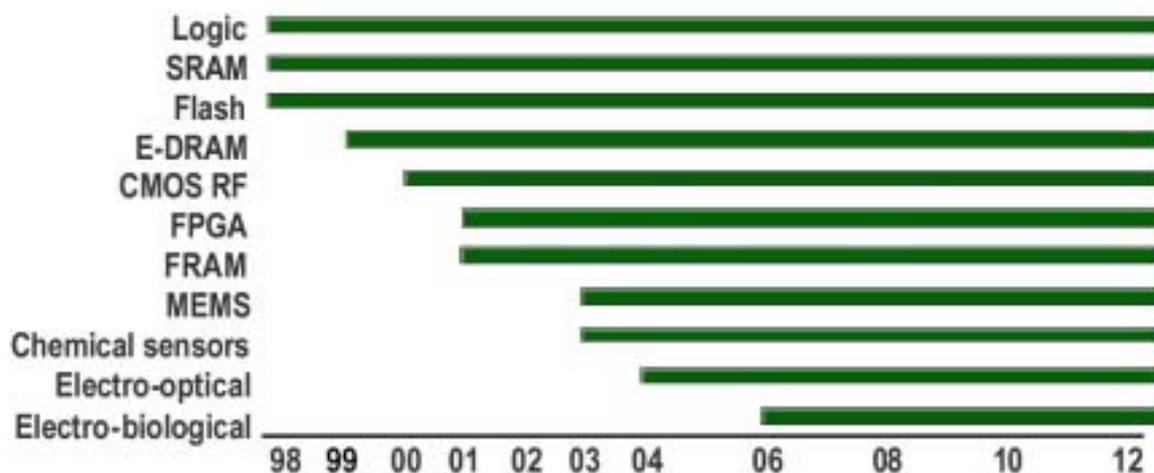


図9 First Integration of Technologies in SOC with Standard CMOS Process

SoC 複合化技術

単一チップ上に異種システムを構築する必要性はコスト、フォームファクタ、接続スピード / オーバヘッド及び、信頼

⁴The corresponding ASIC and structured-custom MPU design methodologies are also converging to a common "hierarchical ASIC/SOC" methodology. This is accelerated by customer-owned tooling business models on the ASIC side, and by tool limitations faced by both methodologies.

性等の考察によってドライブされます。このように、プロセス技術者は、MEMS、及び、他のセンサを CMOS に融合させようと試みます。より複合的処理を必要とするシングルチップに更に多くの技術が集積するためプロセスの複雑さが、SoC-MT アプリケーションのコストにおける主要因です。処理の総コストは、処理段階の将来の新しい材料、及び、組合せに対して予測することが困難です。しかしながら、現在のコスト検討においては、ある与えられた SoC で技術の数の制限においては、プロセスは、ますますモジュール化が進み（例…フラッシュアドオンが標準のローパワーロジックプロセスで可能となります）。しかし、それらのモジュールは、一般に積重ねできません。図 9 は、標準の CMOS プロセスにおける各技術の最初の統合の発展可能性を示します。 - 他の技術との同時統合及び量産される必然性はありません - 後の技術（電気光学、電気生物学的）の CMOS 統合は、あまり正確ではありません。理由は基礎的技術の進歩だけでなく SIP よりも更にコスト効率が高い SoC-MT にも依存します。今日、多くの技術（MEMS、GaAs）は、同一モジュール内でよりコスト効率良くシリコン上に積重ねるか（flipped onto）、あるいは（Flash や DRAM の様に）シリコンに並んで統合されます。システムアプリケーションでの物理的規模（たとえば、耳と口=スピーカーとマイクロホンの分離、あるいは自動車内の距離）もまた、単一チップ化の必要性（特にセンサ）に影響します。

SoC ハイパフォーマンス

SoC-HP の例は、ネットワーク・プロセッサ機能、及び、ハイエンドゲームアプリケーションを含みます。それは MPU-SoC（集合状態）を反映するため、SoC-HP は、MPU と同様の傾向に従い、そして単独ではモデル化されません。しかしながら、SoC-HP のメリットを議論する局面において、即ち高速ネットワーキング領域の事例が、オフチップ I/O シグナリング（それは、テスト、アセンブリ、パッケージング及び設計に対する重要な技術的課題を順番に創出する）に対する要求をドライブします。歴史的に、チップ I/O スピード（ピン当たりの帯域幅）は、内部クロック周波数より非常にゆっくりと高くなってきました。これは、ひとつには既存の低速な I/O 標準との互換性のためです、しかし主要な制限はプリント回路基板上の終端されない CMOS 信号が遅いセリングタイムのため 100MHz を著しく超えた伝送を難しくしています。ここ十年間の間、長距離の通信ネットワークのために最初に開発された技術の高速のリンクは、他のアプリケーションでの適用が増加しています。高速の I/O は、ポイント・ツー・ポイント接続を使い、そしてワイヤを伝送路として扱うことにより遅いセリング時間の問題を解決します。今日では、これらのシリアル接続の最速のものは、ピン当たり 10Gbit/s で伝送することができます。

高速リンクは、4つの主要部分からなり：ボードレベルワイヤにのせる電気信号にビットを変換するためのトランスミッタ、ワイヤ自体、ワイヤの端で信号をビットに変換するレシーバ、ワイヤの遅延を補い、正確なデータを得るために、正しい場所で信号をサンプリングするタイミング・リカバリー（補償）回路。レシーバ、トランスミッタおよびタイミング・リカバリー回路が、すべてアナログ・ブロック（たとえば、ミックスド・シグナル・ドライバの一部で議論した VCO が、タイミング・リカバリー回路の重要なコンポーネント）を必要とするため、そのようなリンクは本質的にミックスド・シグナルの設計になります。一般にハイスピードリンクは、オプティカルシステム、チップ - チップ接続及びバックプレーン接続に使用されています。我々は、もう少し更に詳細に各々のこれらのアプリケーションについて議論します。

オプティカル・リンクは、一般に少数のオプティカル信号であり、これらのリンクは比較的複雑で、また大容量インタフェース回路を許容することができるため、オプティカル・リンクは一般にリンクパフォーマンスをもっとも難しくします。今日、オプティカル・リンクは 1ピンあたり 10Gbit/s に達し、テスト章（高速シリアル・リンクの議論）の中で計画されるような周波数の中で、一定の比率で続くと予測されます。初めに、これらのリンクのためのエレクトロニクスは、CMOS が高速の要求を満たすことができないと考えられていたので非 CMOS 技術で作成されました。しかしながら過去 5 年間にわたり、多くの研究者が 10 Gbit/s 伝送できる回路を開発しました。いくつかの論文が、1ビットあたり 1 FO4 デレイと同じくらい高速動作

するリンクを実証していた一方、ほとんどのリンクは、1ビットあたり24 FO4ディレイで動作します。(それは180nmノードで10Gbit/sをもたらす) 技術によってリンク・スピードを上げ続けることは回路の見地から可能に違いありませんが、寄生容量とパッケージングにより困難になっていきます。この速度の信号は、それらの信号パス中の、任意の不連続性に対し非常に敏感です。コントロールされたインピーダンス・パッケージングが使用されても、パッケージがボード上でのバイアスは、信号品質を下げるインピーダンス変動を引き起こします。ESD デバイスによる1-2 pF 寄生容量もまた著しく信号品質を低下させて行きます。従って、継続的なパフォーマンス・スケージングは、ESD、パッケージおよびボード設計における重要な改善を要求するでしょう。

チップ・ツー・チップ相互接続は、同じボード(互いに通常接近している)に置かれた2つのチップ間の情報を伝達します。そのリンクで設計性能をはかる指標は、一般にそれらのチップをパラレル接続するリンク数でありGbit/sではありません。たとえば、2倍の速さを得るために10倍の面積と10倍のパワーを要するならば、パラレルに2つのリンクを使用する方が良いことになります。従ってこれらのリンクは単にパフォーマンスだけではなく、パフォーマンスおよびコストを踏まえて最適化されます。一般に、最も高速なチップ・ツー・チップ・リンク・スピードは、最も速いオプティカル・リンク・スピードに対して2~4倍遅くなっています。これらのリンクのためのビット時間は、劇的に変化します。例えば、ポイント・ツー・ポイント・リンクは、今日2.5ns(400Mbit/s)から0.4ns(2.5Gbit/s)のビット時間範囲で利用可能です。このパフォーマンスの広い範囲は、必要とされるIO数(IO数が増えれば、より遅いスピードで対応できる)や、設計者が好んで採用しようとするリスクの程度や、時には既存の標準IOなどに依存します。信頼性高い(堅牢な)高速IOの設計は、現状ツールでは、まだ自動化できず、チェックすることができないというミックスド・シグナルの課題があります。従って、多くの設計チームはIOレートを選択する時、未だ、保守的です。テクノロジー・スケールや設計ツールが、より信頼性が高くなるにつれて、ビット時間は4-8FO4ディレイに近づくべきですが、しかし、それには、パッケージや他の寄生効果を補うための付加回路が必要となるでしょう。

高速リンクのための最後の主要な応用は、異なるボード上の2チップが通信しなければならないネットワークングにあります。シグナル・パス(信号経路)は、ポイント・ツー・ポイントにもかかわらず、それは、あるチップからパッケージ経由でローカル・ボードへ、コネクタ経由で別のボードへ、そして、別のコネクタを通過して目的のボードへ、そして、そのボードやレシーバのパッケージを経由して、レシーバ・チップへと伝達されます。高い帯域幅のために、各チップは、一般に多数のリンクを持っています、その結果、単位コスト当たりパフォーマンスが重要となります。chip-to-chipリンクとの主要な違いは、2つのチップ間の“ワイヤ”が更に悪い電気的特性を持っていることです。ワイヤ問題は、10 Gbit/s (90 nm ノードにおいて達成される) を経てスピードが増加するとともに、重大な課題となります。これらのIOの考察もまた、高速エリアにおけるSoC、及び、SIPソリューションの間でトレードオフを示します。

SoC 低コスト、ローパワー

SoC-LP の例は、PDAまたは、デジタル・カメラチップのようなポータブル、そしてワイヤレスアプリケーションを含みます。部分的に日本半導体技術ロードマップ・ワーキング・グループ1 (SIRJ-WG)により作成されたモデル、もとは2000年のIIRSの最新版(デザイン・チャプター)に紹介されたモデルに基づき、マルチメディア処理能力をもつローパワー、消費者ニーズ、ハンドヘルド・ワイヤレス・デバイス(“PDA”)の様々な、特性に対する要求を示します。モデルの重要な様相は、次のとおりです⁵。

- ・ システム設計は、CPU、DSP、他の処理エンジンの組込みブロック、および SRAM、組込み DRAM 回路からなります。プロセッサ・コア・ロジックは、1 ノードあたり4倍増加し、メモリ容量は1 ノードあたり2~4倍増加します⁶。
- ・ ダイサイズは、増加した機能に対応するために、2018 年まで平均してノード当たり 10%増加する；これは、アプリケーション領域の歴史的な傾向にマッチします。
- ・ メモリとロジックによる構成のレイアウト密度は、組込み eDRAM の密度が、SRAM 密度の 3 倍であると仮定した場合の MPU ドライバと同じになります。
- ・ 最大のオンチップ・クロック周波数は、各ノードで MPU クロック周波数の約 5-10% です。

バッテリー寿命により、最大消費電力は100 で0.1W、スタンバイ・パワーは2.1mWまでに制限されています。

表9 System Functional Requirements for the PDA SOC-LP Driver

YEAR OF PRODUCTION	2003	2006	2009	2012	2015	2018
Process Technology (nm)	101	90	65	45	32	22
Supply Voltage (V)	1.2	1	0.8	0.6	0.5	0.4
Clock Frequency (MHz)	300	450	600	900	1200	1500
Application (maximum required performance)	Still Image Processing	Real Time Video Codec (MPEG4/CIF)		Real Time Interpretation		
Application (other)	Web Browser Electric Mailer Scheduler	TV Telephone (1:1) Voice Recognition (Input) Authentication (Crypto Engine)		TV Telephone (>3:1) Voice Recognition (Operation)		
Processing Performance (GOPS)	0.3	2	14	77	461	2458
Required Average Power (W)	0.1	0.1	0.1	0.1	0.1	0.1
Required Standby Power (mW)	2	2	2	2	2	2
Battery Capacity (Wh/Kg)	120	200	200	400	400	400

SoCトレンド

SoC の実現のためには、例えば再利用可能なアナログ IP の開発といったような、Design、Test、PIDS やその他の分野と関わる多くの技術課題が考えられます。特に困難な SoC チャレンジとしては、

- ・ 各ノードごとの 100%以上の設計生産性の向上、これはプラットフォーム・ベース設計⁷ や製造(設計⁸)時の論理回

⁵ Other aspects of the model, which are not essential to the following analyses, address external communication speed (increasing by 6x per node in the near term, starting from 384 Kbps in 2001) and addressable system memory (increasing by 10x per node, starting from 0.1 Gb in 2001).

⁶ The PDA contained approximately 20 million transistors in 2001, and will contain approximately 41 million transistors in 2004. The model assumes that increasing parallel computation will be required in each generation of the device, to support video, audio and voice recognition functionality. This is reflected in CPU and DSP content (e.g., number of cores), which increases four-fold (4x) per technology node to match the processing demands of the corresponding applications. (By comparison, MPU logic content is projected to double with each node.) Overhead area (I/O buffer cells, pad ring, white space due to block packing, analog blocks, etc.) is fixed at 28% of the die. The 41M transistor count in 2004 is broken down as follows. A typical CPU/DSP core (e.g., ARM) today is approximately 30-40K gates, or 125K transistors. We assume 16 such cores on chip in 2004, i.e., 2M CPU/DSP core transistors. In 2004, the "peripheral" logic transistor count is 23M transistors, and this count grows at 2x/node thereafter. SRAM transistor count is 16M in 2004, and grows at 2x/node thereafter. The composition of SRAM versus DRAM depends on the ratio of memory to logic. We assume that embedded DRAM (eDRAM) is cost effective when at least 30% of the chip area is memory; this trigger point occurs at 16 Mb in 2004. Once triggered, the eDRAM content quadruples every technology node. (While the SOC-LP PDA is a "single-chip design", we do not imply any judgment as to whether multi-die or single-die implementation will be more cost-effective.)

⁷ Platform-based design is focused on a specific application domain. The platform embodies the hardware architecture, embedded software architecture, design methodologies for IP authoring and integration, design guidelines and modeling standards, IP characterization and support, and hardware/software verification and prototyping. Derivative designs may be rapidly implemented from a single platform that has a fixed portion and a variable portion that permits

路のプログラマビリティなどの要求も含む。

- ・ 消費電力の制御性能の向上、特に低消費電力、無線通信、マルチメディアでの応用分野で重要(Design, PIDS)。
- ・ MEMS やオプトエレクトロニクスといった異種技術を集積するためのシステムレベル設計技術(PIDS, FEP, Design)。
- ・ テストの再利用性の実現やアナログ/デジタル BIST 技術等の要求を含む、統合的な SoC テストメソッドの開発。

SoC は低価格で迅速なシステム・インプリメンテーションに主眼が向けられているため、また消費電力は最新版 ITRS においては主要な技術課題(Grand Challenges)の一つであるため、SoC 設計の達成目標にパワーマネージメントが盛り込まれるべきでしょう。以下の議論では、これらの問題に関する SoC-LP ドライバの傾向分析です。

SoC-LP モデルのための消費電力を決定するためには、2つのアプローチがあります。第1のアプローチは「トップダウン」的にシステム仕様(0.1W の最大消費電力、また 2mW のスタンバイ電力)を受け入れることです。第2のアプローチは、プロセスと回路パラメータや集積されるロジック及びメモリサイズから「ボトムアップ」的に要求仕様を決める方法です。ロジック部の消費電力は、動作電力にスタンバイ電力を加えると、 $\alpha CV_{dd}^2 f + I_{off} V_{dd}$ のモデル式で見積もれます。これは、MPU のパワー解析で使用される面積ベースの計算方法です。メモリの消費電力モデルも $\alpha CV_{dd}^2 f + I_{off} V_{dd}$ を使用します。この場合の α は上記モデルの係数とは異なります⁹。PIDS 章に記述されたローパワーデバイスロードマップを参照して下さい。将来の低消費電力 SoC は動作電力、スタンバイ電力と性能を最大限に制御するために同一のコアに複数のテクノロジー(LOP, LSTP, HP)を混載することは間違いのないでしょう。

図 10 に「ボトムアップ」のうち動作温度 100 °C で最も低消費電力のモデルを示しました。前提にしたのは、全てのロジック回路が LOP あるいは LSTP デバイスで構成され動作条件仕様は 2001 年度版 ITRS 報告書の脚注 23 に記載のもので、ただし、これは最下限モデルです。現実には、一部ロジック部はより高速なデバイスでインプリメントされないと商品の要求仕様を満たさないでしょう。この図では SoC-LP の消費電力が PDA アプリケーションの低消費電力の要求仕様を満たせないことを示し、さらに各モデルの消費電力との関係をブレークダウンしています。モデルごとから察するように LOP はスタンバイ時の消費電力の大きさが目立ち、LSTP は動作時の消費電力が目立ちます¹⁰。LOP デバイスだけを使用するチップの消費電力は 2018 年に 1.39W に達し、それは主には、2012 年以降のスタティック消費電力の急激な増加によります。LSTP デバイスだけのチップの消費電力は 2018 年に 1.27W に達します。また、そのほとんどは動作時の消費電力です。

proprietary or differentiated designs. (See: H. Chang et al., *Surviving the SOC Revolution: A Guide to Platform-based Design*, Boston: Kluwer Academic, 1999.)

⁸ A programmable logic core is a flexible logic fabric that can be customized to implement any digital logic function after fabrication. The structure of a programmable logic fabric may be similar to an FPGA capability within specific blocks of the SOC. They allow reprogrammability, adaptability and reconfigurability, which greatly improve chip productivity. Applications include blocks that implement standards and protocols that continue to evolve, changing design specifications, and customization of logic for different, but related, applications and customers.

⁹ I_{off} denotes the NMOSFET drain current at room temperature, and is the sum of the NMOS sub-threshold, gate, and junction leakage current components, as described in the PIDS chapter. Details of active capacitance density calculations, dependences on temperature and threshold, etc. may be found in the PIDS Chapter documentation and in the following supplemental file. The activity of logic blocks is fixed at 10%. The activity of memory blocks is estimated to be 0.4% based on the following analysis of large memory designs. We first assume that a memory cell contributes 2 gate capacitances of minimum size transistors for switching purposes, accounting for source/drain capacitances, contact capacitances and wiring capacitance along the bit lines. A write access requires power in the row/column decoders, word line and M bit lines, sense amplifiers and output buffers. We consider memory to be addressed with 2N bits and assume that memory power is due primarily to the column capacitances, and that $M \times 2^N$ bits are accessed simultaneously out of $2^N \times 2^N$ possible bits. Then $\alpha = M/2^N$ which is the ratio of accessed bit to total bits in the memory. For example, for a 16 Mbit memory, $M=16$ and $N=12$; hence $\alpha=0.4\%$.

¹⁰ At 25°C, dynamic power dissipation dominates the total power in both the LOP and LSTP cases.

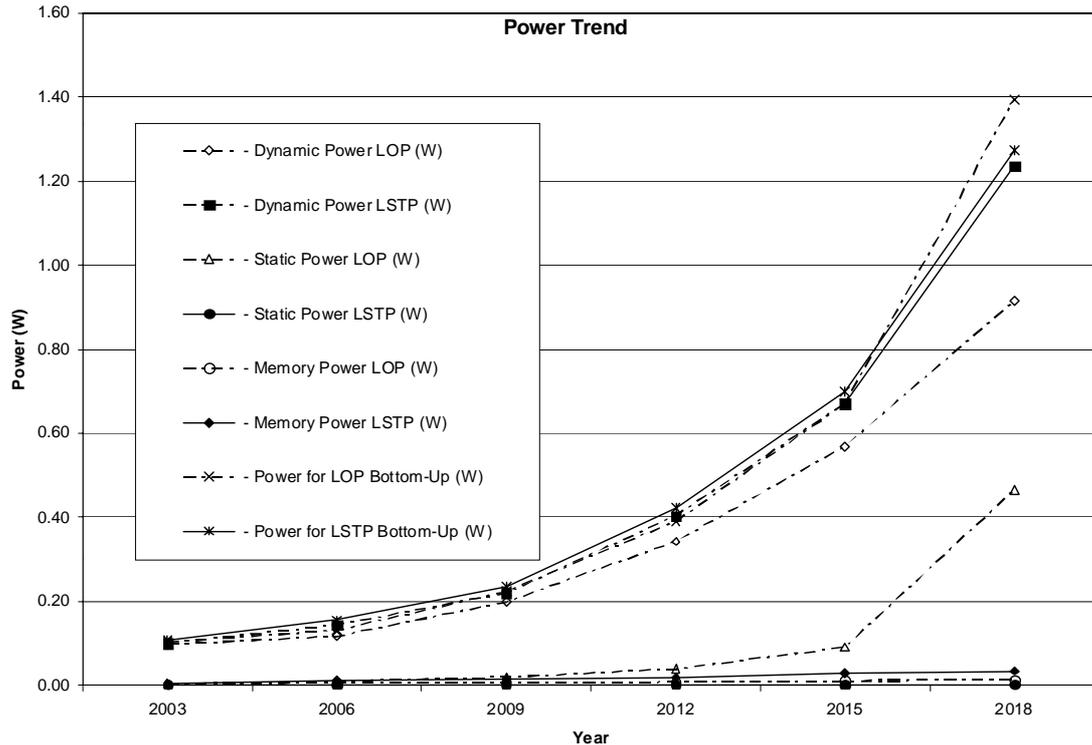


図10 Total Chip Power Trend for SOC-LP PDA Application

表10 Power Management Gap for SOC-LP-PDA

	2003	2006	2009	2012	2015	2018
Total LOP Dynamic Power Gap (X)	0.0	0.2	1	24	4.7	8.1
Total LSTP Dynamic Power Gap (X)	0.0	0.4	1.2	3.00	5.7	11.4
Total LOP Standby Power Gap (X)	0.37	3.44	8.73	18.79	44.38	231.9
Total LSTP Standby Power Gap (X)	-0.98	-0.96	-0.90	-0.78	-0.53	0.10

表 10 にこれらのモデルから導出したパワー・マネジメント・ギャップを示します。これらは、アプリケーションや OS、アーキテクチャや回路設計の組合せによって達成されなければならない電力制御の改善度の大きさです。要求される消費電力の改善度は、動作時で 8 倍以上、スタンバイ時では LSTP デバイスが支配的でなければもっと大きくなり得ます。ここで、パワー・ギャップの合計は(消費電力 - 0.1W)/0.1W(PDA の消費電力の商品要求仕様)として定義され、また同時にスタンバイ時消費電力のパワー・ギャップは(スタンバイ時消費電力の合計 - 2mW)/2mW(PDA のスタンバイ時消費電力の商品要求仕様)として定義されます。マイナスの値は、パワー・マネジメント・ギャップが無いことを示します(つまり既存の技術で十分要求を満足できます)。

図 11 では、SoC-LP 設計でのロジック/メモリ構成比に関する考察を行います。ここではチップの消費電力は 0.1W 以下で、チップ・サイズは 100mm²と仮定します。LSTP デバイスの動作時消費電力は、LOP デバイスのものよりはるかに大きいので、LSTP デバイスのメモリ構成比はロジックを遙かにしのぐ勢いで増大します。この 2 つのモデルは、パワー・マネジメント技術に本質的な改善が無ければ、2018 年までにチップのほとんどはメモリのみになってゆくことを示します。たとえ消費電力を 0.1W に一定に抑えられたとしても、PDA のチップ・サイズはノードごとに約 10%増加していくこ

とを考えて下さい。これだけでも、長期的にメモリ、ロジック構成比の極端なアンバランスを生じる原因になるでしょう。

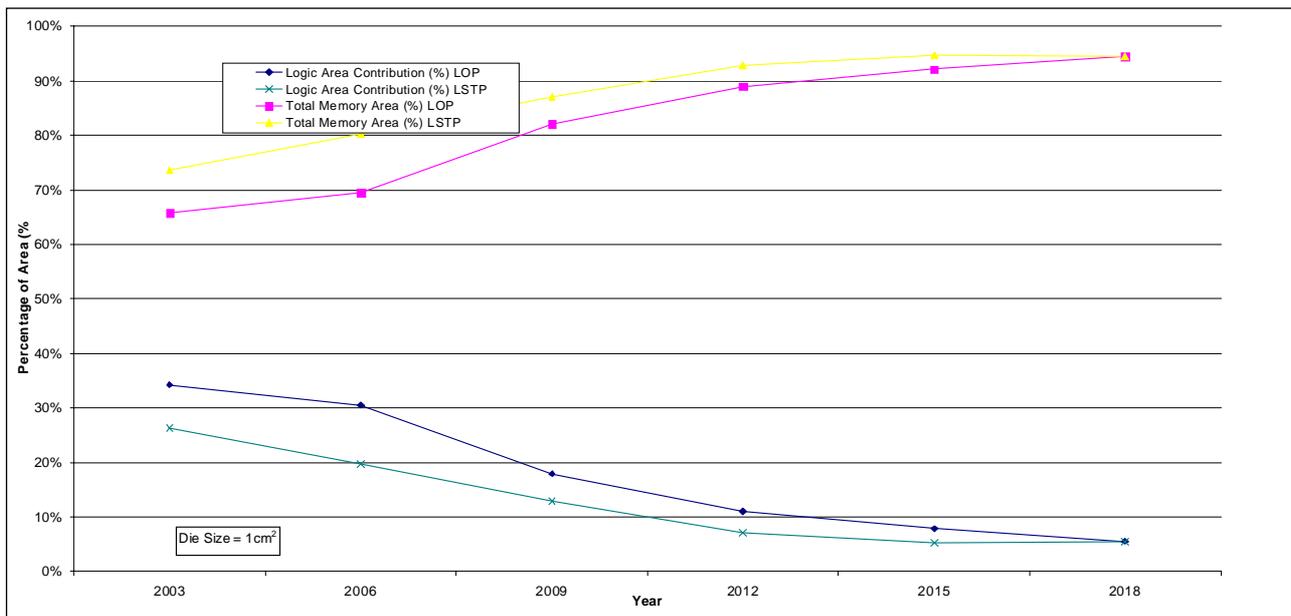


図11 Power Gap Effect on Chip Composition

トレンドの最後として、前述しましたが再度議論すべきものとして、SoCとSIPの選択基準が漠然としてきたことが上げられます。SIPは、個々のチップ技術の最適化を促進し、急速に低コストに複合技術のシステムを実現する手段として台頭してきています。例えば、1)チップ積層-チップSIPのアプローチは、最上層の電源、グランド、クロック配線をデカップリング容量(DRAMベアチップは片側にフリップチップ実装され、ASICチップは反対側に実装される)とともに供給した、BGAパッケージ内の薄膜 laminate により、低コストなDRAM-ロジック混載技術になります。2)silicon-on-silicon SIPのアプローチは、複数のRF ICや薄膜上に実装されたフリップチップ、高品質な受動素子を埋め込んだ高抵抗基盤を集積することが可能です。SoCかSIPかは、結局のところ消費電力、スピード、面積、信頼性、テスト容易性そして歩留まりを考慮して、システムの価値やコストの観点で選択することになります。SIP-drivenのチャレンジは、本ITRSのDesign, TestそしてAssembly and Packaging章に記述されています。本章の残りでは、MPU、AMSそして混載メモリ・ドライバの詳細なモデルとロードマップについて議論します。

マイクロプロセッサ(MPU)ドライバ

ハイボリューム・カスタム設計では、パフォーマンスと製造原価の問題が、設計や他の開発(NRE)コストの問題より重要です。なぜなら、これらのチップは大きな利益を生む可能性を持っているからです。大きな利益は、非常に大きな売上個数に起因します。カスタム設計スタイル、特別なプロセスエンジニアリングや設備などを正当化するために、大量というだけでは、必要条件でもなく、十分条件でもありません。NREや製造装置への投資を合わせて、期待されるリターンが正になることが重要です。ハイボリューム・カスタム設計の分野における、3つの大きなクラスは、MPU、メモリ¹¹、そしてリプログラマブル(例えばフィールドプログラム可能なゲート・アレイ(FPGA))です。このセクションでは、半導体製品の

¹¹ Memory is a special class of high-volume custom design because of the very high replication rate of the basic memory cells and supporting circuits. Since these cells are repeated millions of times on a chip, and millions of chips are sold, the amount of custom design for these parts is extraordinary. This has led to separate fabrication lines for DRAM devices, with some of the most careful circuit engineering needed to ensure correct operation.

ための重要なシステム・ドライバのうちの一つとして MPU に注目します。MPU は、目標を達成するために、最も積極的な設計スタイルおよび製造技術を使用します。これらの大量製品のおかげで、製造フローの変更、新しい設計スタイルおよび支援ツールの作成(大規模な収入は新しいツール生成の代価を払うことができる)、(設計者によって得られたすべてのリスクが出てくるとは限らないが)微妙な回路問題の発見がなされます。実際、MPU は、集積度および設計の複雑さ、電力-速度性能曲線、大規模チームの設計工程の効率、テストおよび検証、電力制御、パッケージシステム・コストに関する半導体産業をドライブしています。MPU(一般的にはハイボリューム・カスタム設計品)の生産は、非常に労働者に集約されているにもかかわらず、全産業によってこ入れされる新技術およびオートメーション方法(設計および組立ての両方)を創造します。

ITRS の MPU ドライバは、汎用の命令セットアーキテクチャ(ISA)に基づいて設計され、デスクトップとサーバシステムにおけるスタンド・アロン製品、または、SoC アプリケーションでのコアとして組み込まれたりします。MPU システム・ドライバは、常に市場のけん引役で、歴史的に以下の特徴があります。1)標準アーキテクチャ・プラットフォームが出現したのち、それが複数世代にわたって供給され続ける、2)市場からの影響による激しい価格変動、3)非常に高い生産ボリュームおよび製造原価意識。MPU ドライバ・モデルの重要な要素は、以下のとおりです。(本章の調査内容は GTX ツールで検証できます。MPU に関する内容は、以下の調査項目として提供されます。)

1.3 つのタイプの MPU —これまでの歴史をみると、3 つのタイプの MPU がありました。「デスクトップ」を反映したコストパフォーマンス(CP)タイプ、「サーバ」向け高機能(HP)タイプ、power-connectivity-cost(PCC)タイプです。2001 年 ITRS の予測では、(ワイヤレス接続を備えた)電池駆動の携帯機器の市場増加は、MPU の新しい power-connectivity-cost(PCC)カテゴリを生成しました。同時に、伝統的に「デスクトップ」向けであった CP の分野は、低額で廉価な従来型「サーバ」から、「モバイルのデスクトップ」(第 1 に AC モードで使用されるラップトップ)および「ブレード」サーバまで、価格性能トレードオフ・カーブの広範囲に拡大しつつあります。結果として、CP と HP のカテゴリ間のパフォーマンスのギャップは小さくなっています。しかしながら、大規模なマージンのため生産量に不釣り合いな設計努力を施した本当に高額なサーバの市場は残るでしょう。以前に予測されたように、新しい PCC カテゴリは、電池寿命の増加およびワイヤレス接続による便利性に後押しされ、高機能と低消費電力 SoC 設計の特性を持ち始めます。しかしながら、PCC 設計のより大きなマージンおよび大きな生産量は、従来の SoC と比較して、はるかに大きな設計努力を必要とするでしょう。

2. ダイサイズ一定 —ダイサイズ(CP では 140mm^2 、HP では 310mm^2 、PCC では $70\text{--}100\text{mm}^2$)はロードマップ上一定であり、ロジック、メモリおよび集積のオーバーヘッドにブレイクダウンされます。集積のオーバーヘッドとは、ブロック間チャンネル、無駄な領域を持つフロアプラン、および設計所要時間に伸ばせるレイアウト密度とのトレードオフによります。以前の ITRS モデルと異なり、電力とコスト・配線遅延がダイサイズの強い制約になります。まず始めに言えることは、追加ロジックは、パッケージ・パワーの制限から効果的に利用できないかもしれませんし、また、追加メモリ(たとえばより大きなキャッシュ、より高次なメモリ・ハイアラキー・レベルのオンチップ・メモリ)も、ある点から先はコスト効率が良くないことが考えられます¹²。さらに、(プロセス・スケーリングにより)配線のパイプライン段数が増加するとともに、正確なアーキテクチャの性能シミュレーションが困難になり、これもダイサイズの増加を制限するでしょう。

3. マルチ・コア構成 —MPU ロジックの内容は、HP およびハイエンド CP カテゴリで、130nm ノードからマルチプロセッシングユニットのオンチップ化がスタートするでしょう。これは、以下のいくつかの事実を含んでいます。: 1)最近および今後計画されている商用 MPU 製品の構成(サーバおよびデスクトップの両方); 2)標準の ISA と同様に検証と論理設計を

¹² Multi-core organization and as SoC cited power efficiencies may permit slight growth in die size, but the message is still that die areas are flattening out.

再使用する必要性の増加; 3) 暗号化、グラフィックスおよびマルチメディア等々と、世代ごとに(例えば、x86、MMX および EPIC)逐次「増大」していく ISA; 4)電力の観点ではそれほど効率的ではない汎用のプロセッサ・コアに、効率的な専用「補助エンジン」¹³を SoC のように集積することによって、アーキテクチャ、OS およびアプリケーション・レベルでの電力の柔軟な管理を可能にする必要性; 5) プロセッサ・コアのサイズ制限 (近年のトレンドで控えめに見積もっても、コアあたり一定で 2000 ~ 2500 万トランジスタ¹⁴); 6) 設計生産性の必要から SoC と MPU の設計手法の収束、より複雑になる単一のコア設計がさらに数年間継続する一方、それらは、特に HP およびハイエンド CP カテゴリで等価なマルチ・コア設計と競争するようになります。この期間に、マルチ・コア設計のコア数はテクノロジー・ノードごとに 2 倍になると予想されています。

4. 内蔵メモリ規模—MPU に搭載されるメモリは、180nm ノードの最初、CP 用では 512KB バイト(512 x 1024 x 9 ビット)、HP 用では 2M バイトの SRAM です。メモリ規模は、ロジック規模と同じく、絶対時間間隔(例えば 18 か月ごと)で増加するわけではなく、テクノロジー・ノードごとに 2 倍になると予想されています^{15 16}。

5. レイアウト密度—そのシステムの複雑さと生産ボリュームの高さから、MPU はレイアウト密度の改善ドライバです¹⁷。したがって、MPU ドライバによってレイアウト密度が設定され、OTRC のトランジスタ数とチップ・サイズが規定されています。2001 年 ITRS の OTRC では、ロジックと SRAM レイアウト密度は、DRAM の「A ファクタ」と類似して、最近の MPU 製品で数値合わせをしています。F がテクノロジー・ノードの最小の特徴サイズである場合、ロジック・レイアウト密度は、ほぼ $320F^2$ の平均スタンダード・セルゲート・レイアウトを反映しています¹⁸。65nm およびそれ未満では、光近接効果補正 (OPC) および位相シフトマスク (PSM) のようなサブ解像リソグラフィ技術によって課せられるスペーシング制約の複雑さが増加するため、レイアウト密度のスケールアップがより遅くなります。このインパクトは 65nm ノードで 20%にもなると予測しています。その結果、0.7 のスケールアップ係数は、たった 0.55 ~ 0.6 の密度向上となります。上述のように、ロジック・レイアウト密度は斬新なデバイスの到来で著しく改善するかもしれませんが、SRAM レイアウト密度は、60%の周辺回路のエリア・オーバーヘッドと、MPU の中で 6 トランジスタ・ビットセル ($F^2 = 223.19F(\mu m) + 97.74$ をビットセルあたりの面積単位)の使用を想定しています。

6. 最大オンチップ(グローバル)クロック周波数—MPU は、さらに OTRC の中で最大オンチップ・クロック周波数をドライブしています。これらは、次には Interconnect、PIDS、FEP およびテストのロードマップの様々な局面をドライブします。

¹³ A “helper engine” is a form of “processing core” for graphics, encryption, signal processing, etc. The trend is toward architectures that contain more special-purpose, and less general-purpose, logic.

¹⁴ The CP core has 20 million transistors, and the HP core has 25 million transistors. The difference allows for more aggressive microarchitectural enhancements (trace caching, various prediction mechanisms, etc.) and other performance support.

¹⁵ The doubling of logic and memory content with each technology node, rather than with each 18- or 24-month time interval, is due to essentially constant layout densities for logic and SRAM, as well as conformance with other parts of the ITRS. Specifically, the ITRS remains planar-CMOS-centric, there is evidence that non-planar “emerging research devices” are moving into development, possibly as early as for the 45 nm node (VLSI Symp’03). Adoption of such novel device architectures would allow improvements of layout densities beyond what is afforded by scaling alone.

¹⁶ Deviation from the given model will likely occur around the 90 nm node with adoption of denser embedded memories (eDRAM). Adoption of eDRAM, and integrated on-chip L3 cache, will respectively increase the on-chip memory density and memory transistor count by factors of approximately 3 from the given values. While this will significantly boost transistor counts, it is not projected to significantly affect the chip size or total chip power roadmap. Adoption of eDRAM will also depend strongly on compatibility with logic processes (notably the limited process window that arises from scaling of oxide thickness), the size and partitioning of memory within the individual product architecture, and density-performance-cost sensitivities.

¹⁷ ASIC/SOC and MPU system driver products have access to similar processes, as forecast since the 1999 ITRS. This reflects emergence of pure-play foundry models, and means that fabric layout densities (SRAM, logic) are the same for SOC and MPU. However, MPUs drive high density and high performance, while SOC drive high integration, low cost, and low power.

¹⁸ A 2-input NAND gate is assumed to lay out in an 8x4 standard cell, where the dimensions are in units of contacted local metal pitch ($MP = 3.16 \times F$). In other words, the average gate occupies $32 \times (3.16)^2 = 320F^2$. For both semi-custom (ASIC/SOC) and full-custom (MPU) design methodologies, an overhead of 100% is assumed.

MPU 最大オンチップ・クロック周波数は、歴史的には1世代当たり 2 倍の増加を示しています。これは、ほぼ 1.4 倍のデバイススケール則(t_{ck} および他の制約要因)と、1.4 倍はパイプライン(例えば 180nm ノードにおける 32 のファンアウト4のインバーター(FO4 INV)の遅延¹⁹と、130nm ノードにおける 24~26 の FO4 INV 遅延に相当)のロジック段数の削減からきています。この歴史的なトレンドが継続しないいくつかの理由があります。1)良質のクロックパルスは 6~8 より少ない FO4 INV 遅延では生成することができません。2)パイプラインの中でオーバーヘッド(効果の低減)が増加します(1フリップ・フロップあたり 2~3 段の FO4 INV 遅延、パルスモードラッチあたり 1~1.5 段の FO4 INV 遅延)。3)手頃なパッケージングによって課された熱特性が非常に深いパイプラインを抑止します。4)アーキテクチャと回路の革新は、周波数改善に直接寄与するものよりも、(デバイスに相関する)配線 RC の悪化への対策が増加します。2003 年の ITRS MPU のモデルは、最大オンチップ・グローバルクロック周波数の歴史的な増加割合を継続しますが、(歴史上の MPU クロック周期データのプロットが提供されている) 90nm ノードの中でクロック周期は 12 の FO4 INV 遅延でフラットになります。これは 2001 年に作られた 16 の FO4 INV 遅延の予測から変更されました。2001 年の ITRS から作られた回路とアーキテクチャの進歩に基づいた予測は、最小の達成可能なロジック深さが 10~12FO4 に接近していることを示しています。90nm ノードの後には、斬新な回路およびアーキテクチャのアプローチがない状態で、デバイス性能のみでクロック周波数が増加するでしょう²⁰。

MPU の進化

最近の「セントラライズド・プロセッシング」の状況は、1)従来の MPU 群(ここで想定しているドライバ)からなるハイ・パフォーマンスな演算機能を持つ中央処理装置(サーバ)、および 2)例えばワイヤレス携帯端末マルチメディア・プラットフォーム(上述の低電力の SoC PDA モデル参照)を構成する、RF、アナログミックスド・シグナルおよびデジタル回路を集積した SoC からなる、パワー効率を狙った演算処理を行う「インターフェイスリメディアル・プロセッサ」を統合したものです。従来型 MPU の将来に向けた進化に対するキーとなる課題は、設計生産力、パワーマネジメント、マルチコア化、I/O 帯域幅、回路およびプロセス技術に関するものです。

設計生産力—MPU 製品のデザインおよび検証の複雑さやコストは、1つのデザインあたりのエンジニアが年間数千人単位(設計チームで数百チーム)で急速に増加しているにもかかわらず、いまだに数百のバグを抱えたプロセッサが市場に投入されています。これは、ロジック合成および自動的な回路チューニングのような設計オートメーションの使用を増加させ、激しいカスタム化および装飾的な回路ファミリーの使用を減少させました。その結果生じる生産力の増加は、プロセッサ開発スケジュールおよびチーム規模を一定にすることを可能にしました。タイミング、雑音、電力および電気的ルールをチェックする設計ツールの改良は、安定した設計の高品質化にも寄与しました。

パワーマネジメント—パッケージの消費電力上限は(ITRS の最後までに 200W/cm²に達すると推測されるにもかかわらず)、高い供給電圧(世代あたりの理想値 0.7x に対して経験値換算 0.85x)および周波数(世代あたりの理想値 1.4x に

¹⁹ A FO4 INV delay is defined to be the delay of an inverter driving a load equal to 4 times its own input capacitance (with no local interconnect). This is equivalent to roughly 14 times the CVI device delay metric that is used in the PIDS Chapter to track device performance. An explanation of the FO4 INV delay model used in the 2003 ITRS is provided in supplemental material.

²⁰ Unlike the ITRS clock frequency models used through 2000 (refer to Fisher/Nesbitt 1999), the 2003 model does not have any local or global interconnect component in its prototypical "critical path". This is because local interconnect delays are negligible, and scale with device performance. Furthermore, buffered global interconnect does not contribute to the minimum clock period since long global interconnects are pipelined—i.e., the clock frequency is determined primarily by the time needed to complete local computation loops, not by the time needed for global communication. Pipelining of global interconnects will become standard as the number of clock cycles required to signal cross-chip continues to increase beyond 1. "Marketing" emphases for MPUs necessarily shift from "frequency" to "throughput" or "utility".

対し経験値換算 $2x$)を継続維持し続けることはできません²¹。PIDS 章で述べられているように、MPU システム・ドライバにおける過去のクロック周波数トレンドは、大きなオフ電流および非常に薄いゲート酸化物に導かれる将来の CMOS デバイス性能(スイッチング速度)を必要条件として説明されました。そのようなデバイスが与えられた場合、単に既存の回路やアーキテクチャ技術を継続する MPU は、ITRS の最後までには、パッケージ電力上限を約 4 倍超過するでしょう。もしくは、MPU ロジック搭載量および(または)ロジック動作率は、パッケージ制約を守るために減少する必要があります。携帯および組込み仕様のは、厳密にパワー制限が行われており、このような障害(課題)に早い段階で遭遇するでしょう。最近のパワー効率(たとえば、GOPS/mW)は、汎用 MPU に対して専用ハードウェア(組込み型ハードウェア)の方が 4 桁向上しており、この傾向がより大きくなっています。結果として、従来型の演算コアは、次世代の SoC ライクな MPU 領域において、特定用途向け、または、リコンフィギュラブルなプロセッサ・エンジンとの競争に直面することになるでしょう。

マルチ・コア構成—1つダイの中にマルチ・コアを持つ MPU において、コアは 1)グローバル配線スケーリング則に逆らって、小さく速く、2)多数のアプリケーションおよび構成に横断的に再利用されるため最適化することができます²²。マルチ・コア・アーキテクチャは、工場の歩留りを達成するため冗長性を利用するのと同じように、消費電力削減を可能にします。また MPU モデルの構成は、チップ上にメモリ階層の規模を増やすことを可能とします。(メモリ混載プロセッサ、または、90nm ノードからの大規模オンチップ eDRAM L3) 一般的な方法だけを考えるなら、より大きなメモリ容量がある方がリークやトータルの消費電力をうまく制御することが可能になります。

発展的なマイクロアーキテクチャの進化(スーパーパイプライン、スーパースカラー、および予測技術)は、推進する原動力が衰えてきているように見えます。(「ポラックの法則」では、ある一定のプロセス技術において、新しいマイクロアーキテクチャは古い(前の世代の)マイクロアーキテクチャを使用した場合に比べ面積が 2~3 倍になり、その一方で性能は 1.4 倍~1.6 倍しか改善されないとしています。) そのようなことから、最近では並列処理によるマルチスレッド化の傾向が大きくなっています。同様にネットワークやグラフィックス、セキュリティ等も、より複雑な専用ハード、および(または)専用エンジンが充てられる傾向にあります。柔軟性のある効率のトレードオフ・ポイントは、汎用プロセッサから遠ざかります。

I/O 帯域幅—MPU システムにおける I/O ピンは、主として、高機能キャッシュメモリやメインシステムメモリに使われています。プロセッサのパフォーマンスが増加するに従い、I/O 帯域幅の要求は強くなってきています。最も高い帯域幅のポートは、伝統的に L2、L3 キャッシュに使われてきましたが、最近の設計は、メモリの「レーテンシ」を減らすために、プロセッサにメモリコントローラを内蔵し始めています。これらのダイレクトメモリアンターフェイスはキャッシュインターフェイス以上に I/O 帯域幅を要求します。メモリアンターフェイスに加えて、多くの設計がシステムバスを高速なポイント・ツー・ポイント・インタフェースに置き換えています。これらのインタフェースは、Gbit/s のレートを実行するのに高速な I/O 設計を必要としています。シリアルリンクは、このレートに到達しており、その一方で、単独チップ上の I/O の大規模集積化は、いまだ設計(各々の回路が超低消費電力を必要とする)、テスト(この速さを実行できるテスターを必要とする)、および、パッケージ(パッケージがチップとボードの接続を含め、バランスのとれた伝送ラインの配線を必要とする)に関してチャレンジ途上にあります。

²¹ To maintain reasonable packaging cost, package pin counts and bump pitches for flip-chip are required to advance at a slower rate than integration densities (refer to the Assembly and Packaging Chapter). This increases pressure on design technology to manage larger wakeup and operational currents and larger supply voltage IR drops; power management problems are also passed to the architecture, OS and application levels of the system design.

²² Replication enables power savings through lowering of frequency and V_{dd} while maintaining throughput (e.g., two cores running at half the frequency and half the supply voltage will save a factor of 4 in CV^2 dynamic capacitive power, versus the “equivalent” single core). (Possibly, this could allow future increases in die size.) More generally, overheads of time-multiplexing of resources can be avoided, and the architecture and design focus can shift to better use of area than memory. Redundancy-based yield improvement occurs if, e.g., a die with $k-1$ instead of k functional cores is still useful.

回路技術とプロセス技術—薄く信頼できないゲート酸化物・積極的なレチクル改良が必要なサブ波長の光学リソグラフィ・原子規模のプロセス変動(例えば注入プロセス)における増加する脆弱性を含む特徴サイズやデバイス構造のロードマップ(リソグラフィと PIDS)に必ず潜むプロセス変動によって、歩留りパラメータ(ウェハテスト後のウェハ価格/枚)は脅かされています。これにより、回路やアーキテクチャ設計のレベルで制約がかけられるでしょう。ダイナミック回路の使用は、より低周波か、クロックゲート制御された分野での性能には魅力的であるが、雑音マージンおよび消費電力によって制限されているかもしれません。パス・ゲート・ロジックは基板効果により使用されなくなるでしょう。歩留まりのロスを補うために冗長やリコンフィギュラブルの使用と同様に、ロジック中の single event upset(SEU)用エラー訂正が増加するでしょう。設計と解析中のプロセス変動、および歩留まりパラメータ(ウェハテスト後)への影響が考慮できるように、設計技術はさらに発展するでしょう。パワー・マネージメントの必要性は、いくつかの要素技術の組合せを求めましょう。

1. 並列処理および適応性のある電圧および周波数スケーリングを含むアプリケーション・OS・アーキテクチャレベルの最適化
2. SOI 使用の増加を含むプロセス・イノベーション
3. マルチ Vth・マルチ Vdd・スループット制約のもとでの消費電力最小化・マルチドメインクロックのゲーティングとスケジューリングの同時使用を含む回路設計技術
4. リーク電流を減少させる斬新なデバイス

MPU のチャレンジ

MPU ドライバは、デバイス (オフ電流・リソグラフィ/FEP/配線 (変動性)・パッケージング(消費消費および電流分配)と同様に、設計とテスト技術(分散型協調設計プロセス、検証、アツスピードテスト、ツール・キャパシティー、電力管理)に強く影響します。最も大きなチャレンジは、以下の項目です。

- 設計および検証の生産性 (例えば、総設計コスト、バグを大幅に減らすこと)(設計)
- パワー・マネージメントおよび電源供給 (例えば GOPS/mW)(設計、PIDS、アセンブリおよびパッケージング)
- 量産時の歩留りパラメータ (リソグラフィ、PIDS、FEP、設計)

ミックスド・シグナル・ドライバ

AMS(アナログ・ミックスド・シグナル)チップは、少なくとも精度の高さが重要であるはずの入力信号を扱う部分です。それは RF、アナログ、DA コンバータ、AD コンバータを含む、多岐にわたるものです。また、このところ、多数のミックスド・シグナル回路部分をも含みます。そのチップデザインの一部は高精度で信号を計測する必要があります。これらのチップはデジタル回路に必要な異質な設計とプロセス技術を含みます。技術スケーリングが省電力、省面積、遅延減少を実現させるために、デジタル回路には必要です。しかし、アナログ回路にとっては必ずしも有効ではありません。なぜなら、精度を必要とするものや、設定電圧範囲の信号を供給する事が困難をとまなうためです。このように新技術へのアナログ回路のスケーリングは困難な技術課題です。一般に AMS 回路(例えば RF とアナログ設計)とプロセス技術(例えばシリコン・ゲルマニウム、内蔵された受動素子)は困難な技術課題として CMOS 統合によるコスト効果を狙うものです。アナログ設計のためには精度の高いツール性能が必要です。デジタル回路設計においては、論理ゲートが正しく作用する仕組みを作ることです。これらの仕組みを使うことにより、正確な信号値の計算は必要でなくなります。

一方、アナログ設計者は必須の精度を得るために多くの「二次効果」を考えなければなりません。関連する技術課題は相互結合(静電容量、インダクタンス、抵抗と信号と供給電圧の状態に影響をおよぼすサブストレート)と非対称性(局所的なインプラ、アライメント、エッチングと他の製造工程は、電気的なシミュレーションに影響をおよぼす)を含みます。これらの技術課題の分析ツールは時として、専門家の手を必要とします。

統合ツールはまだ未完成の状態です。AMS 回路に対する製造テストは本質的に未解決のままです。今日の大規模なアプリケーションにおけるアナログ回路と RF 回路は SoC のほんの一部です。主流となる製品のビジネスは通常、非常に競争的です。その技術的な内容をもってミックスド・シグナルを推進させることは高額の研究開発費の投資と高度の技術レベルを必要とします。移動体通信の基盤技術はミックスド・シグナルを必要とする大規模な回路です。従って、我々はそれらの回路の絞り込みを行います。ここでは、アナログとミックスド・シグナル(AM)のロードマップを公式化する時、多種多様の回路とアーキテクチャが存在するので、簡略化が必要となります。我々の議論を 4 つの基本的なアナログ回路について行います。

- ・ 低雑音アンプ(ロー・ノイズ・アンプ)(LNA)
- ・ 電圧制御発振器(ボルテージ・コントロール・オシレータ)(VCO)
- ・ 電力増幅器(パワーアンプ)(PA)
- ・ アナログデジタル変換器(エー・ディー・コンバータ)(ADC)

これらの 4 つの回路を作成するために使用される設計およびプロセス技術は、さらに他の多くのミックスド・シグナル回路の性能を決定する可能性があります。従って、回路の性能は、その性能指標によって示されるとともに、ミックスド・シグナルのロードマップにとって、よい根拠となります。

以下の議論はこれらの性能指標を詳細に示します。パラメータ(たとえば、利得 G)は、すべてデシベル・スケールの代わりに絶対値として与えることにします。我々は、与えられた設計課題に対して、特定の解決策への偏見を避けるものとします。確かに、予期しない解決策が障壁を克服することは度々あるので、異なるタイプの解決策にできるだけ寛容であるように努力しました。(たとえば、代替解決策間の競争は、技術ロードマップと関係するすべてのタイプの進歩のために、よい推進力となります。)我々は、例として、回路の目的が異なれば、要求される性能も異なるということを知っています²³。つまり、ある性能指数は異なる応用には矛盾している可能性があります。そのような状況を回避するために、我々は、主流となる製品に性能指標を適合させます。この状況での明白な主流製品は携帯電話です。最後に、我々は、デバイス・パラメータ上の性能指標の依存性を評価します。その結果、回路設計上の必要条件は特定のデバイスおよびプロセス技術仕様に結びつける事が可能です。これはアナログ回路性能の大きな進歩に結びつく、また一方では現実的で実現可能な技術進歩に結びつく外挿法が提案されています。これらのパラメータは、PIDS 章のミックスド・シグナルに関する技術的要求の表から得ることができます。

ロー・ノイズ・アンプ(LNA)

デジタル処理システムは、アナログ的世界とのインタフェースを必要とします。これらのインタフェースの顕著な例は有線あるいは無線通信での送信メディアです。LNA は、信号処理において雑音が無視できる程度にまで入力信号を増幅します。LNA の重要な性能指標は下流の信号処理ユニットに一切の雑音を加えずに、歪なく増幅された信号を伝えることです。

²³ Certain cases of application are omitted for the sake of simplicity, and arguments are given for the cases selected. In many cases, we have limited our considerations to CMOS since it is the prime technological driving force and in most cases the most important technology. Alternative solutions (especially other device families) and their relevance will be discussed for some cases, as well as at the end of this section.

LNA の応用(GSM, CDMA, W-LAN, GPS, Bluetooth など)は、種々の周波数帯で動作します。動作周波数、および LNA の周波数帯域幅は、最高動作周波数帯域を超えることがあり、おどろきを与えます。非線形性も多くのアプリケーションで考える必要があります。これらのパラメータは性能指標に含まれている必要があります。他方では、異なるシステムは多くの場合、直接に比較することが不可能であり、異なる必要条件を持ちます。たとえば、非常に広い帯域幅は高性能な有線アプリケーションのために必要です。しかし、これは消費電力を増加させます。低消費電力は、低い帯域幅の無線通信アプリケーションの重要な設計項目です。広い帯域幅のシステムについては、帯域幅が LNA の性能について記述する線形性より重要となる可能性があります。しかし、異なる設計条件を回避するために、我々は無線通信に焦点を合わせます。

低雑音アンプのロニアリティは、基準の第 3 次インターセプトポイントの出力によって記述することができます。(OIP3=G × IIP3, ここで G は利得、IIP3 は第 3 次インターセプトポイントの入力) LNA によって正確に増幅される最小の信号を決定するパラメータは、アンプの雑音指数 NF によって直接与えられます。しかし、雑音が重たんされたアンプの影響度を考えるためには、(NF-1)がアンプ $N_{\text{amplifier}}$ の雑音と直接測定される入力 N_{input} 雑音の比率を示すので、よりよい手段となります。これらの 2 つの性能指標は消費電力 P と関連させることが可能です。その性能指標は、アンプのダイナミックレンジと必要な DC 電力の関係と考えられます。ロードマップのためには、周波数の性能指標は、特定のアプリケーションと無関係であることが望ましい。これは、LNA が一段増幅によって構成されると仮定することで達成することが可能です。その結果、性能指標は動作周波数 f で直線的に計測されます。これらの近似仮定で、LNA の性能指標(FoM_{LNA})は定義されます。

$$FoM_{LNA} = \frac{G \cdot IIP3 \cdot f}{(NF - 1) \cdot P} \quad (1)$$

さらに単純化させる仮定を作り、かつ「設計のノウハウ」を無視して、技術スケーリングを備えた性能指標を外挿することができる²⁴。最大発振周波数 f_{max} を含む LNA 設計用の適切なデバイス・パラメータの将来トレンド、インダクタの品質、MOSFET ($g_m/g_{ds,lin}$) の利得および RF 供給電圧は、PIDS 章のミックスド・シグナルに関する技術的要求の表から得ることができます。CMOS LNA の最近公表された報告から、性能指標の進化は、小型デバイス・ディメンションの、よりよいパフォーマンスを実現する傾向を示しています。これは、LNA 設計のために必要とされるデバイスの品質向上と一致します。将来へ、これらのデータを推定して、表 11 の中で示されるように、LNA 設計における将来の進歩の評価は得ることができます。

ボルテージ・コントロール・オシレータ(VCO)

RF 信号処理システムのもう一つの重要な回路ブロックは VCO です。VCO は、フェーズ・ロック・ループ(位相同期ループ)(PLL)であり、それは広い帯域幅および、高い周波数のアプリケーションです。これは、集積回路と他の部分とのやりとりを同期させるための主要な部分です。VCO の重要な設計目標は、生成された波形(あるいは位相雑音)のタイミング・ジッタと、消費電力を最小限にすることです。これらのパラメータで、性能指標(FoM_{VCO})は定義されます:

$$FoM_{VCO} = \left(\frac{f_0}{\Delta f} \right)^2 \frac{1}{L\{\Delta f\} \cdot P} \quad (2)$$

²⁴R. Brederlow, S. Donnay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A Mixed-signal Design Roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

ここで、 f_0 は発振周波数です。 L/f は f_0 からの周波数オフセット f で測定した位相雑音スペクトル密度です。また、 P は消費電力の合計です。

動作周波数と性能指標の間に明瞭な相関性は存在しません。しかし、性能指標の良い数値は、周波数で達成することが通常は困難です。従って、性能指標は、動作周波数に完全に依存しないわけではありません。必要なチューニング範囲がアプリケーションに強く依存するので、ここでの定義は、VCO のチューニング範囲を定義しません。しかし、典型的により大きなチューニング範囲が要求される場合は、VCO の位相雑音あるいは消費電力は悪化する可能性があります。

チップ上に負荷(LC タンク回路)を備えた完全集積 CMOS 型 VCO に限定し、さらなる単純化をすることで、性能指標は技術開発に関連させることができます。位相雑音は、熱雑音および LC タンク回路の性能要因によって主として決定されます。熱雑音対消費電力は、技術ノード上でほぼ一定です。最後に、性能指標対技術ノードの発展は、主として利用可能なインダクタの性能に依存します。最近発表の高性能 VCO では、性能指標の発展は CMOS 微細加工によって性能が明らかに向上しています。性能指標は、これらの技術で VCO 設計のために必要とされる最良の利用可能なデバイス・データとよく整合しています。将来の技術ノードのデバイス・パラメータの予測に基づいて(PIDS 章のミックスド・シグナルに関する技術的要求の表参照)、技術ノード用の VCO の性能指標の外挿は表 11 の中にあります。VCO を説明した発行物では FOM_{VCO} が向上している傾向は FoM の進化と一致していると書かれています。FoMs はこれらの技術において VCO 設計に必要であり最も利用可能なデバイスと合致しています。

パワーアンプ(PA)

パワーアンプは有線あるいは無線のコミュニケーションシステムの伝送パス中の重要なコンポーネントです。パワーアンプは、隣接したチャネルへの電力を最小化するために、高い線形性を備えつつ、情報をオフチップへ送信するのに必要な送信電力を供給します。特に電池動作の応用に向けて、所定の出力電力を、最小の DC 電力で実現することが要求されます。

CMOS によるパワーアンプは、比較的初期の技術段階にあるといえますが、比較的小さな送信電力が必要なシステム・オン・チップ(SoC)用途に強みがあります。個別部品で構成されるパワーアンプ、これらは、携帯電話の基地局などのアプリケーションに使われますが、これらに対しては、バイポーラや化合物半導体テクノロジーが強みを持っています。(詳細については、PIDS 章のワイヤレス通信向けの高周波およびアナログ/ミックスド・シグナル技術; RF and Analog/Mixed-signal Technologies for Wireless Communication の節を参照のこと)。SoC の傘の下での議論に留まるために、ここでは CMOS のパワーアンプについてのみ議論します。システム・イン・パッケージのオプションは、システムの性能とコストによっては使われることがあります。

性能の指標を確立するために、いくつかのキーパラメータを考慮に入れる必要があります。これらのパラメータとは、出力電力 P_{out} 、電力利得 G 、キャリア周波数 f_c 、線形性($IIP3$ での)、および電力付加効率(PAE)です。不幸にも、線形性というものは、アンプの動作クラスに強く依存します。このため、異なるクラスのアンプを比較することが困難になります。設計アプローチ依存、あるいは、アプリケーション毎の固有の仕様といったものと無関係にするために、線形性の

パラメータを省略することにします。パワーアンプの RF 利得の 20dB/デケードのロールオフ²⁵を補償するため f^2 のファクタが含まれています。このことから、性能指標 (FoM) は、次のように表すことができます。

$$FOM_{PA} = P_{out} \cdot G \cdot PAE \cdot f^2 \quad (3)$$

最後に、パワーアンプのアーキテクチャを最も単純なものに限定して(クラス A オペレーション)²⁶、さらに単純化を進めることで、 FoM とデバイス・パラメータ²⁷との間で相関を取ることが可能になります。重要なデバイス・パラメータは、利用可能なインダクタの品質を示す指数および、 f_{max} であると見ることができます。これらのパラメータは PIDS 章のパワーアンプ・テーブルの中に記載されています。クラス最高の CMOS パワーアンプの性能指標 (FoM) は、能動デバイスと受動デバイスのデバイス・パラメータの改善に強く相関付けられて、近年技術ノード毎におおよそ 2 倍だけ増加しました。(PIDS 章のワイヤレス通信のための高周波とアナログ/ミックスド・シグナル技術: RF and Analog/Mixed-signal Technologies for Wireless Communication の Section にあるパワーアンプの表を参照のこと) 表 11 に示されるように、我々は、将来のパワーアンプに要求される性能指標 (FoM) の要求値を類推することができます。

アナログ-デジタル変換器(ADC)

デジタル処理システムは、アナログの世界とのインタフェースを有しています。それは、オーディオやビデオのインタフェース(磁気的あるいは光学的な記憶メディア、有線あるいは無線の伝送メディアへのインタフェース)といったものです。アナログ信号は、AD 変換器によってデジタル処理が、かなうようになります。AD 変換器では、時間的にも信号振幅でも連続的なアナログ信号が、時間的に離散的(サンプリング)で信号振幅でも離散的な(量子化された)量に変換されます。したがって AD 変換器は、システム・インテグレーションの観点から、将来のテクノロジーの有効性や限界を明らかにする上で有効な性能指標になります。また、AD 変換器は、今日のミックスド・シグナル回路設計において、最も重要で広く用いられているミックスド・シグナル回路です。

AD 変換器の主要な仕様値は、サンプリングと量子化に関係しています。変換における分解能、つまり量子化されたレベルの数は、 2^n となります。ここで、 n は変換器における「bit 数」に対応します。このパラメータは、また、最大の信号対雑音のレベルを示します。これは SNR として与えられ、 $SNR = n \cdot 6.02 + 1.76$ [dB] となります。変換器におけるサンプリングレート、つまり単位時間に量子化される n 幅のサンプル数は、変換に要求される帯域幅とこのような性能に到達するために必要な消費電力に関係しています。シャノン/ナイキストの基準は、サンプルレートが変換される信号の帯域幅の 2 倍を超えていれば、元の信号を再合成できると述べています。 $f_{sample} = 2 \times BW$

将来の技術ノードの可能性を見込むために、AD 変換器の性能指数 (FoM) は、ダイナミックレンジ、サンプルレート f_{sample} それに消費電力 P を組合せたものであるべきです。しかしながら、これらの名目的なパラメータは、変換器の実効的な性能への見識を与えるものではありません。より正しい基準は、測定データから抽出される実効的な性能です。ダイナミックレンジは、低周波における信号対雑音および歪 ($SINAD_0$) の測定値から量子化誤差(これらの値は両方とも dB 単位)を引くことで得られます。 $SINAD_0$ より「実効的な bit 数」が $ENOB_0 = (SINAD_0 - 1.76) / 6.02$ として与えられます。

²⁵ Most CMOS PAs are currently operated in this regime. Using DC-gain for applications far below f_c would result in a slightly increased slope.

²⁶ R. Brederlow, S. Dorncay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A Mixed-signal Design Roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

²⁷ R. Brederlow, S. Dorncay, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A Mixed-signal Design Roadmap for the International Technology Roadmap for Semiconductors (ITRS)," *IEEE Design and Test*, December 2001.

そして、ナイキスト基準とのリンクを保つために、次のことが行われます。つまり、実効的な帯域幅の倍の値 ($2 \times ERBW$) が、もしより小さい値である場合には、サンプルレートの値が、この値で置き換えられます。

$$FoM_{ADC} = \frac{(2^{ENOB_0}) \times \min(\{f_{sample}\}, \{2 \times ERBW\})}{P} \quad (4)$$

AD変換器に関して、性能指数 FoM とテクノロジーパラメータの関係は、変換器のアーキテクチャや回路形式に強く依存します。AD変換器の複雑さと多様性は、性能指数とテクノロジーパラメータの直接的な関連付けをほぼ不可能にします。RF回路においては、この関連付けはある程度可能でした。それでも、性能指数に導入するパラメータに関する一般的な考察がなされ、提案されています²⁸。場合によっては、重要なサブ回路の性能要求から、デザインの性能要求を決めることができます。異なるAD変換器の設計に関連するデバイス・パラメータについては、PIDS章のアナログ・ミックスト・シグナルに関する表にまとめられています。近年の傾向として、AD変換器の性能指数は、3年ごとにおおよそ2倍改善しています。設計上の知見が向上していることを考慮に入れると、過去の性能向上はアナログ素子のデバイス・パラメータの改善とよく一致します。自立型のCMOS/BiCMOSの場合において、現時点の最高クラスであるAD変換器の性能は1600[ギガ変換/秒]であり、組込みCMOSの場合において、800[ギガ変換/秒]です。AD変換器の性能指数として将来予想される数値を、表11に記載します。電源電圧や信号電圧振幅が減少する中で、AD変換器の性能を維持するための設計上の技術進歩が要求されます。長期的には、基本的な物理的制約（例えば熱雑音）が、AD変換器の性能指数のさらなる改善にとって障害になるかもしれません。

表11 Projected Mixed-Signal Figures of Merit for Four Circuit Types.

Year of Production	2003	2006	2009	2012	2015	2018	Driver
RF-CMOS $\frac{1}{2}$ Pitch	130	90	65	45	32	22	
FoM_{LNA} [GHz]	40	80	160	200-400	250-500	300-600	RF-Transceiver/PIDS Table
FoM_{VCO} [L/J] 10^{22}	0.7	0.9	1.1	1.9	2	2.4	RF-Transceiver/PIDS Table
FoM_{PA} [W • GHz ²] 10^4	6	12	24	40-50	80-90	100-130	PA/PIDS Table
FoM_{ADC} [GHz/W] 10^6	0.8	1.2	1.6-2.5	2.5-5	4-10	6-20	AMS/PIDS Table

ミックスト・シグナルの発展

ミックスト・シグナルのドライバの発展は、コストと性能の相互関係によって決定されます。ここまでに述べてきた性能指標は、ミックスト・シグナル回路の性能をあらわします。しかしながら、現実のアナログ・ミックスト回路の展開に対して、製品のコストというものが、重大な問題となります。新しい応用に対して技術が持つ可能性というものは、コストと性能の両方により規定されるのと同様に、コストと性能は、技術の方向性が既存の応用に対して十分であるかを規定します。

コストの見積り - 大量生産されるデジタル製品においては、そのコストはほとんどチップ面積で決まっています。ところが、ミックスト・シグナルの設計においては、いくつかのコスト要因の一つでしかありません。SoCにおけるアナログ回路の面積は、通常、5~30%の範囲にあります。したがって、ミックスト・シグナルの領域の面積を縮小しようとする経済的な圧力は、論理回路部分やメモリの部分に比べると強くありません。関連する考察として以下のものがあります。

²⁸R. Brederlow, S. Donny, J. Sauerer, M. Vertregt, P. Wambacq, and W. Weber, "A Mixed-signal Design Roadmap for the International Technology Roadmap for Semiconductors (ITRS)," IEEE Design and Test, December 2001.

- アナログ部分の面積は、システムにおけるアナログ部分とデジタル部分の切り分けを移動することで、時として減らすことができます。(例えば AD 変換器における自動校正機能)
- 高性能のアナログ素子を導入することで、プロセスが複雑化します。このような解決アプローチは、面積を削減することには有効ですが、全体のコストを引き上げることになります。
- 使用する半導体技術の選択は、設計コストに影響を与えます。というのは、ハードウェア設計を何度もやり直すリスクにつながるからです。(テープアウトに至る設計の繰り返し)
- 製造コストは、パラメータ歩留りが、どの程度の感度を持っているかによっても影響を受けます。
- 多数のダイ(ダイサイズが大きくて、安価なデジタルチップと、ダイサイズが小さくて、高性能のアナログチップ)を使う SIP のような解決法の方が、SoC による解決方法よりも安価になることもありえます。

このような考察をすることは、ミックスド・シグナルの設計におけるコスト見積りを大変困難にします。われわれは、まず最初に、高性能の用途のみに注目点を制限することで、ミックスド・シグナルのコストを見積もることを試みます。というのは、このような用途というのは、テクノロジーへの要求をドライブするものであるからです。次に、我々は、アナログ機能というものは、高性能の受動回路やアナログトランジスタにより実現され、それらの面積がほぼコスト²⁹を表しているということを注記しておきます。トランジスタのスケールアップは、システムのデジタル部分の密度を向上させるのに有効で、アナログトランジスタは、この微細化にほぼ追従することができます。したがって、このことは、トランジスタのレイアウト密度については、特に述べる必要がないことを意味します。今日の多くのアナログ・ミックスド・シグナル回路の設計において、その面積は、組み込みの受動素子で決まっています。これらの受動素子の面積は、システムのミックスド・シグナル部分のコストを決定しています。したがって、PIDS 章における、アナログ・ミックスド・シグナル回路の表、RF トランシーバの表、パワーアンプの表については、高性能のミックスド・シグナル設計におけるコスト/性能比を向上させるのに必要なオンチップ搭載の受動素子のレイアウト密度のロードマップを指しています。

技術の充足度の見積り - 図 12 は、電力と性能の関係の観点で最近の応用分野ごとに AD 変換器への要求を記載したものです。一定の性能(分解能×帯域幅)という条件のもとで、一定の電力消費というものは、傾き - 1 の線で表されます。性能を向上するというは、よいテクノロジーを使うか、回路設計を改善することで達成されますが、これは、電力消費の線を右上に移動することと等価です。データによると、表 11 に示される AD 変換器の技術上の「バリア・ライン」は、図 12 に 1W の電力消費で表されていますが、これは、非常にゆっくりとしか動いていないことがわかります。今日の多くの AD 変換器の技術(シリコン、SiGe、III-V 族化合物半導体、それにこれらのハイブリッド)は、1W のバリア・ラインの下にあります。そして、このバリア・ラインを近々に引き上げるための解決策は見つかっていません。

AD 変換器の性能向上のペースは、ハンドセット(通信機)の用途に対しては十分であったのですが、GSM の基地局のデジタル線形化や、携帯移動型の高データレートでのデジタルビデオ用途に対しては、明らかに不足です。例えば、32 キャリアを扱うような、多数キャリアの GSM 基地局においては、80dB 以上のダイナミックレンジを必要とします。このような基地局において、25MHz の送信帯域幅でデジタル線形化を実現するためには、AD 変換器に 300MHz の標準化速度と 14bit の分解能が要求されます。表 11 と最近の進歩の具合を仮定すると、このような性能の AD 変換器が量産されるのは、恐らく 2010 年以降になるでしょう。システム設計者は、現時点で、このような性能の AD 変換器を必要としますが、シリコンと SiGe のテクノロジーでは、(多くのデバイスを一定の面積内に集積できることから) bit 分解能

²⁹ In analog designs, power consumption is often proportional to area—and since power is included in all four figures of merit, we have already implicitly considered area and cost criteria. Nonetheless, area requirements should be stated explicitly in a roadmap.

を達成することができますが、速度性能を達成することができません。一方、 - 族化合物半導体においては、速度目標を達成することはできますが、bit 分解能の方は達成できません。このことは、妥当なコストで、AD 変換器の変換レートを上げる検討のための動機付けとなっています。 - つまり、速度上の理由で化合物半導体(HBT、HEMT、それに共鳴トンネルダイオードとこれらの組合せ)を使ったり、CMOS と化合物半導体のハイブリッドとして検討を行うことなどです。化合物半導体のチャレンジは、単位面積あたりのデバイス数の増加と CMOS との混載技術となります。このことは、PIDS 章のワイヤレス通信向けの高周波とアナログ/ミックスド・シグナル技術;RF and Analog/Mixed-signal Technology for Wireless Communication の節に詳しく述べてあります。

新規製品分野の実現 - 通常の製品において、製品出荷を増やすために一般的に採られる戦略は、価格を下げて、性能を上げることです。しかしながら、このことは、特にミックスド・シグナル部を含んでいる製品にとっては、半導体ビジネスの上で唯一の方法ではありません。技術と設計の改善により、新しい製品(近年の携帯電話のように)が実現され、半導体産業は新しい市場に入ってゆくことができました。図 12 に示されるミックスド・シグナルの設計に関する解析結果は、将来の製品や市場に向けた設計への要求や、設計の実現性を見積もることに使うことができます。性能を向上させることは、現時点の技術で実現されているものよりも高い性能や低い消費電力を必要とする新しい製品を開発できるということと等価であることがわかります。言い換えると、新しい製品の仕様がわかったところで、これらの仕様を実現するために必要な半導体技術を見積もることができます。あるいは、半導体産業が妥当なコストと性能で製品を作ることができるようになるまでの時間を知ることができます。このように性能指数の概念は、新しいミックスド・シグナルの製品の市場の潜在性や実現可能性を評価することに使うことができます。高性能のミックスド・シグナルの回路を安価に組み上げる能力は、半導体産業を新しい製品や市場に進める原動力となります。

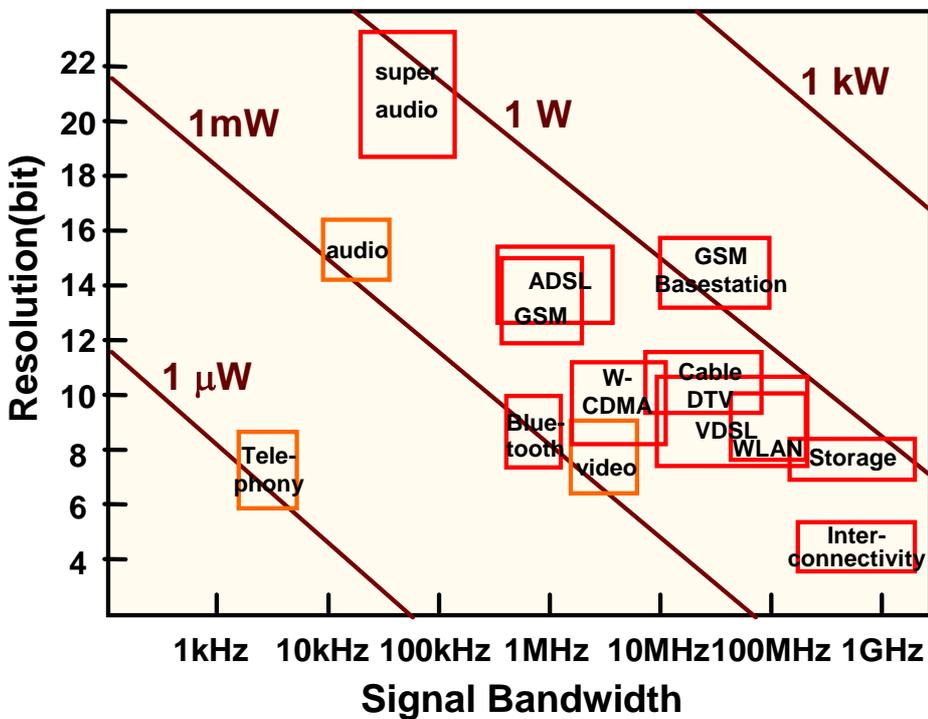


図12 Recent ADC Performance Needs for Important Product Classes

ミックスド・シグナルにおけるチャレンジ

今日のミックスド・シグナルの設計のほとんど(特に古典的なアナログ設計において)は、処理対象の信号は、電圧の差として表されます。したがって、電源電圧が最大の信号を決定します。電源電圧の低下(定電界スケールリングの結果)は、最大の達成可能な信号レベルが下がることを意味します。このことは、SoC ソリューションのミックスド・シグナル製品の開発に対して、強い影響を与えます。新しいミックスド・シグナル製品の開発に対しては、一般的にデジタルやメモリ製品よりも多くの開発時間がかかります。設計リソースの全くの不足は、別の重要なチャレンジとなります。理想的な設計プロセスは、既存のミックスド・シグナルの設計資産を再利用し、SoC と外部とのインターフェース仕様を整合するようにパラメータ調整をするようなプロセスです。しかしながら、このような再利用をするためには、最大動作電圧がスケールリングしないような MOSFET(これは、ロードマップで規定されているものとは別の MOSFET となります)が必要となります。これは、PIDS 章においても取り上げられるミックスド・シグナルの CMOS トランジスタで、ロジック部分よりも高いアナログ電圧で使用し、この電圧は、複数のデジタルテクノロジーの世代にわたって、変更されず一定にとどまることになります。このようなデバイスをもってしても、アナログ回路ブロックの電圧低下およびアナログ回路ブロックの開発期間というものが、ミックスド・シグナル機能の低価格化と効率的なスケールリングに対して主要な障害となります。要約すると、最も困難なミックスド・シグナルにおけるチャレンジは以下のものです。

- *供給電圧の低下* : 電流モード回路を使うこと、電圧を上げるためのチャージポンプ回路を使うこと、そして、スタンダード・セル回路において、電圧の最適化が必要 (PIDS, 設計)
- *相対的なパラメータのばらつき増大* : 能動的にパラメータのミスマッチを補償する機構の導入、製品の仕様決定の際に速度と分解能のトレードオフを行うことが必要 (PIDS, FET, リソグラフィ, 設計)
- *チップあたりのアナログトランジスタ数の増加* : ミックスド・モードのシミュレーション ツールにおいて、更なる高速処理と収束性の改善が必要 (モデリングとシミュレーション, 設計)
- *処理速度の向上(キャリア周波数およびクロック周波数)* : デバイスと配線を正確にモデリングすること、テスト能力、パッケージやシステムレベルのインテグレーションができることが必要 (テスト, 実装およびパッケージング, モデリングとシミュレーション)
- *SoC 集積に伴うクロストーク* : 寄生効果のより正確なモデリング、RF 回路における完全差動回路の設計、PIDS 章に記載されている技術的な対処が必要 (PIDS, モデリングとシミュレーション, 設計)
- *設計スキルおよび生産性の不足* : トレーニングが欠如していること、また、自動化が進んでいないことに起因する。教育と基本的な設計ツールに関する研究が必要 (設計)

混載メモリ・ドライバ

SoC 設計は、混載する RAM、ROM、そしてレジスタ・ファイルメモリの数や種類を益々増やしていくことを含んでいます。インターコネクトと IO 帯域幅、設計生産性、そしてシステム電力限界は、すべてマイクロエレクトロニクス・システムにおけるメモリ集積の高いレベルの継続的なトレンドを指し示しています。混載メモリ技術をドライブするアプリケーションは、再構成可能な応用(たとえば、自動車用)のコード・ストレージであり、スマートまたはメモリ・カードのデータ・ストレージであり、そしてゲーム用あるいは大容量記憶システムに見られる高性能ロジックと混在する大容量メモリであります。

ロジックとメモリのバランスは、総システム・コスト、電力や IO 制約、ハードウェア・ソフトウェア構成、そして全体的なシ

システムとメモリの階層に反映します。コストに関しては、デバイス性能とモリシクなロジック-メモリ集積の追加マスク層は、チップ-積層-チップ、もしくは他のシステム・イン・パッケージ(SIP)集積の代案に対してバランスを保つ必要があります。ロジック-メモリ集積のレベルは、さらにコード-データ・バランス(たとえば、ソフトウェアはコードメモリに書かれ利用されるべきで、不揮発性やアプリケーションのデータはデータメモリに存在すべきです)だけでなく、ハードウェア-ソフトウェアの切り分けのトレードオフ(たとえば、ソフトウェアはより柔軟ですが、ブートしなければならず、より多くの面積を消費します)にも反映するでしょう。IOピン数と通信速度は、システム構成がどのように帯域幅対ストレージをトレードオフするかを決定します。つまり、1) メモリアクセスは、より高いもしくはより低いバンク・グループでメモリを構成する際の周辺オーバーヘッドの代償に速くすることができます。そして、2) アクセス速度は、ピンカウントと回路の複雑さを、高速少ピンカウント接続あるいは低速多ピンカウント接続の間でどのようにバランスさせるかにも依存します。

メモリ階層は、プロセッサの速度要求にメモリアクセスの能力が一致していることが重要です。この事実は伝統的なプロセッサ・アーキテクチャー領域ではよく知られており、プロセッサ・コアの“メイン”メモリとフォアグラウンド・メモリ(たとえば、レジスタ・ファイル)の間で、ハードウェア・コントロールのキャッシュのいくつかのレイヤーでの導入につながっています。各レイヤーでは、通常ひとつの物理キャッシュメモリが存在します。しかしながら、階層の選択は、さらに電力にとって強い意味合いを持ちます。従来のアーキテクチャは、エネルギーの非効率的な制御オーバーヘッドの代償に、たとえば、高次の連想キャッシュの周囲に含まれる予測/履歴メカニズムと余分なバッファにより、大きく性能を上げています。システムの観点から、ポータブル機器で主要な内蔵のマルチメディアや通信のアプリケーションは、ソフトウェア制御された分散のメモリ階層からより恩恵を受けることができます。メモリ階層の異なるレイヤーは、さらに高度な異なるアクセス・モードと内部分割を要求します。ページバーストインターリーブといったモードの使用と、バンクの物理的な切り分け、サブアレイ、分割ワード/ビットラインは、一般にレイヤーごとに最適化されるに違いありません。また、ますます支配的なリーク電力制約は、より異種混合のメモリ階層化に結びつきます。

スケーリングは混載メモリ構造に多くの課題を提示します。回路レベルでは、SRAMのアンプ・センス・マージンおよびDRAMの減少したIonドライブ電流は、2つの明確な課題です。より小さな形状は、ばらつき、たとえばデバイス当たりの少数のドーパントの、より大きな影響を暗示します。ひとつの製品の中に集積されるより多くのデバイスのために、ばらつきは、ノイズマージンとリークパワー(リーク電流の V_{th} への指数関数的な依存性があります)の両方に関して、より大きなパラメータの歩留まり損失につながります。将来の回路トポロジーと設計手法は、これらの問題に取り組む必要があるでしょう。エラー耐性は、プロセス・スケーリングと積極的なレイアウト密度で深刻化するもう一つの課題です。混載メモリのソフト・エラー・レート(SER)は、形状の縮小につれ増加し、そして混載SRAMおよび混載DRAMともに影響します。これに関してはDesignの章で議論されます。不揮発性メモリでもビットの書き換えのときは、ソフト・エラーの影響を受けるかもしれません。特に、自動車部門でのような高度で信頼性のあるアプリケーションには、エラー訂正は、いずれくる要求であり、アクセス・タイム、パワー、およびプロセス・インテグレーションに対する歩留まりと信頼性のトレードオフを引き起こすでしょう。最後に、大規模と異種混合メモリ・アレイのためのコスト効率のよい製造テストおよびビルトイン・セルフテストは、SoCにおける重要な要求です。

その高い繰り返しの割合から、メモリのセルサイズとパフォーマンスは、コストおよび性能に大きく直接の影響を持つので、ここで議論される他の基本回路すべてと比較して、最適化のために費やされる技術作業の量は大変高くなります。表12aと12bは、3つの現在主要なタイプの混載メモリ: CMOS混載スタック・ランダムアクセス・メモリ(SRAM)、混載不揮発性メモリ(NVM)、それに混載ダイナミック・ランダムアクセス・メモリ(DRAM)の技術要求を与えます。それらのパラメータは、PIDS章の中のロジック要求テーブルによって与えられた、回路設計考察と技術境界条件のバランスから

発生します。CMOS SRAM の積極的なスケージングは、高性能と低電力のドライバのため継続します。それらはノード当たり 0.7×のリード・サイクル・タイムのスケージングを要求します。電圧スケージングは、たとえば保持時間と読み出し動作電圧の関係、あるいは 45 nm ノードで始まる pMOS デバイス要求の電源やしきい値電圧スケージングの影響と、多数の考察を伴います。発生期の強誘電体 RAM、磁気抵抗 RAM、それに相変化メモリ技術は、PIDS 章の *Emerging Research Devices* 節で議論されます。

表12a *Embedded Memory Requirements—Near-term*

<i>Year of Production</i>	<i>2003</i>	<i>2004</i>	<i>2005</i>	<i>2006</i>	<i>2007</i>	<i>2008</i>	<i>2009</i>
<i>Technology Node</i>		<i>hp90</i>			<i>hp65</i>		
<i>DRAM ½ Pitch (nm)</i>	<i>100</i>	<i>90</i>	<i>80</i>	<i>70</i>	<i>65</i>	<i>55</i>	<i>50</i>
<i>MPU/ASIC ½ Pitch (nm)</i>	<i>120</i>	<i>107</i>	<i>95</i>	<i>85</i>	<i>76</i>	<i>67</i>	<i>60</i>
<i>CMOS Static Random Access Memory (HP/LSTP), Technology Node (nm), Feature Size – F</i>	<i>130</i>	<i>90</i>	<i>90</i>	<i>90</i>	<i>65</i>	<i>65</i>	<i>65</i>
<i>6T1 bit cell size (F²) [1]</i>	<i>140F²</i>						
<i>Array efficiency [2]</i>	<i>0.7</i>						
<i>Process overhead versus standard CMOS – number of added mask layers [3]</i>	<i>1</i>	<i>1</i>	<i>1</i>	<i>2</i>	<i>2</i>	<i>2</i>	<i>2</i>
<i>Operating voltage – V_{dd} (V) HP/LSTP [4]</i>	<i>1.2</i>	<i>1.2</i>	<i>1.1/1.2</i>	<i>1.1/1.2</i>	<i>1.1</i>	<i>1/1.1</i>	<i>1/1.1</i>
<i>Static power dissipation (mW/Cell) HP/LSTP [5]</i>	<i>1E-4/4E-7</i>	<i>1.5E-4/6E-7</i>	<i>1.5E-4/6E-7</i>	<i>1.5E-4/6E-7</i>	<i>3E-4/1E-6</i>	<i>3E-4/1E-6</i>	<i>3E-4/1E-6</i>
<i>Dynamic power consumption per cell – (mW/MHz) HP/LSTP [6]</i>	<i>9E-7/1E-6</i>	<i>8E-7/9E-7</i>	<i>7E-7/8.5E-7</i>	<i>6E-7/8E-7</i>	<i>4.5E-7/7E-7</i>	<i>4E-7/6.5E-7</i>	<i>4E-7/6E-7</i>
<i>Read cycle time (ns) HP/LSTP [7]</i>	<i>0.5/2</i>	<i>0.4/2</i>	<i>0.4/2</i>	<i>0.4/2</i>	<i>0.3/1.5</i>	<i>0.3/1.5</i>	<i>0.3/1.5</i>
<i>Write cycle time (ns) HP/LSTP [7]</i>	<i>0.5/2</i>	<i>0.4/2</i>	<i>0.4/2</i>	<i>0.4/2</i>	<i>0.3/1.5</i>	<i>0.3/1.5</i>	<i>0.3/1.5</i>
<i>Soft error rate (FIT/Mb) [8]</i>	<i>1000</i>						
<i>Embedded Non-Volatile Memory (code/data), Technology Node (nm)</i>	<i>180</i>	<i>130</i>	<i>130</i>	<i>130</i>	<i>90</i>	<i>90</i>	<i>90</i>
<i>Cell size (F²) – NOR FLOTOX/NAND FLOTOX [9]</i>	<i>10F²/5F²</i>						
<i>Array efficiency – NOR FLOTOX/NAND FLOTOX [10]</i>	<i>0.6/0.8</i>						
<i>Process overhead versus standard CMOS – number of added mask layers [11]</i>	<i>6-8</i>						
<i>Read operating voltage (V)</i>	<i>3.0V</i>	<i>2.5V</i>	<i>2.5V</i>	<i>2.5V</i>	<i>2V</i>	<i>2V</i>	<i>2V</i>
<i>Write (program/erase) on chip maximum voltage (V) – NOR/NAND [12]</i>	<i>12V/15V</i>						
<i>Static power dissipation (mW/Cell) [5]</i>	<i>1E-06</i>						
<i>Dynamic power consumption per cell – (mW/MHz) [6]</i>	<i>1E-07</i>	<i>0.8E-07</i>	<i>0.8E-07</i>	<i>0.8E-07</i>	<i>0.6E-07</i>	<i>0.6E-07</i>	<i>0.6E-07</i>
<i>Read cycle time (ns) NOR FLOTOX/NAND FLOTOX [7]</i>	<i>20/1000</i>	<i>14/70</i>	<i>14/70</i>	<i>14/70</i>	<i>10/50</i>	<i>10/50</i>	<i>10/50</i>
<i>Program time per cell (µs) NOR FLOTOX/NAND FLOTOX [13]</i>	<i>1.0/1000.0</i>						
<i>Erase time per cell (ms) NOR FLOTOX/NAND FLOTOX [13]</i>	<i>10.0/0.1</i>						
<i>Data retention requirement (years) [13]</i>	<i>10</i>						
<i>Endurance requirement [13]</i>	<i>100,000</i>						
<i>Embedded DRAM, Technology Node (nm)</i>	<i>130</i>	<i>130</i>	<i>130</i>	<i>90</i>	<i>90</i>	<i>90</i>	<i>65</i>
<i>1T1C bit cell size (F²) [14]</i>	<i>12F²</i>						
<i>Array efficiency [2]</i>	<i>0.6</i>						
<i>Process overhead versus standard CMOS – number of added mask layers [3]</i>	<i>4-6</i>						

Read operating voltage (V)	25	25	25	2	2	2	1.7
Static power dissipation (mW/Cell) [5]	1E-10						
Dynamic power consumption per cell – (mW/MHz) [6]	1E-07						
DRAM retention time (ms) [13]	64	64	64	64	64	64	64
Read/Write cycle time (ns) [7]	1	1	1	0.7	0.7	0.7	0.5
Soft error rate (FIT/Mb) [8]	10	10	10	10	10	10	10

表12b Embedded Memory Requirements—Long-term

<i>Year of Production</i>	<i>2010</i>	<i>2012</i>	<i>2015</i>	<i>2018</i>
<i>Technology Node</i>	<i>45</i>			
<i>DRAM ½ Pitch (nm)</i>	<i>45</i>	<i>35</i>	<i>25</i>	<i>18</i>
<i>MPU/ASIC ½ Pitch (nm)</i>	<i>54</i>	<i>42</i>	<i>30</i>	<i>21</i>
<i>CMOS Static Random Access Memory (HPLSTP), Technology Node (nm), Feature Size – F</i>	<i>45</i>	<i>35</i>	<i>25</i>	<i>18</i>
6T1C bit cell size (F ²) [1]	140F ²	140F ²	140F ²	140F ²
Array efficiency [2]	0.7	0.7	0.7	0.7
Process overhead versus standard CMOS – number of mask adds [3]	2	2	2	2
Operating voltage – V _{dd} (V)	1	0.9/1	0.8/0.9	0.8/0.7
Static power dissipation (mW/Cell) [5]	5E-4/1.2E-6	1E-3/1.5E-6	2E-3/2E-6	3E-3/2.5E-6
Dynamic power consumption per cell – (mW/MHz) [6]	3E-7/5E-7	2.5E-7/4.5E-7	2E-7/4E-7	1.5E-7/3E-7
Read cycle time (ns) [7]	0.2/1.2	0.15/0.8	0.1/0.5	0.07/0.3
Write cycle time (ns) [7]	0.2/1.2	0.15/0.8	0.1/0.5	0.07/0.3
Soft error rate (FIT/Mb) [8]	1000	1000	1000	1000
<i>Embedded Non-Volatile Memory (code/data), Technology Node (nm)</i>	<i>65</i>	<i>45</i>	<i>35</i>	<i>25</i>
Cell size (F ²) – NOR FLOTOX/NAND FLOTOX [9]	10F ² /5F ²			
Array efficiency – NOR FLOTOX/NAND FLOTOX [10]	0.6/0.8	0.6/0.8	0.6/0.8	0.6/0.8
Process overhead versus standard CMOS – number of mask adds [3]	6-8	6-8	6-8	6-8
Read operating voltage (V) [4]	1.8V	1.5V	1.3V	1.2V
WRITE (program/erase) on chip maximum voltage (V) – NOR/NAND [4]	12V/15V	12V/15V	12V/15V	12V/15V
Static power dissipation (mW/Cell) [5]	1E-06	1E-06	1E-06	1E-06
Dynamic power consumption per cell – (mW/MHz) [6]	0.5E-8	0.4E-8	0.35E-8	0.3E-8
Read cycle time (ns)	7/35	5/25	3.5/18	2.5/12
Program time per cell (µs) [13]	1.0/1000.0	1.0/1000.0	1.0/1000.0	1.0/1000.0
Erase time per cell (ms) [13]	10.0/0.1	10.0/0.1	10.0/0.1	10.0/0.1
Data retention requirement (years) [13]	10	10	10	10
Endurance requirement [13]	100000	100000	100000	100000
<i>Embedded DRAM, Technology Node (nm)</i>	<i>65</i>	<i>45</i>	<i>35</i>	<i>25</i>
1T1C bit cell size (F ²) [14]	12F ²	12F ²	12F ²	12F ²
Array efficiency [2]	0.6	0.6	0.6	0.6
Process overhead versus standard CMOS – number of mask adds [3]	4-6	4-6	4-6	4-6
Read operating voltage (V)	1.7	1.6	1.5	1.5
Static power dissipation (mW/Cell) [5]	1E-10	1E-10	1E-10	1E-10
Dynamic power consumption per cell – (mW/MHz) [6]	1.5E-07	1.6E-07	1.7E-07	1.7E-07
DRAM retention time (ms) [13]	64	64	64	64
Read/Write cycle time (ns) [7]	0.4	0.3	0.25	0.2
Soft error rate (FIT/Mb) [8]	10	10	10	10

Definitions of Terms for Tables 12a and 12b:

[1] Size of the standard 6T CMOS SRAM cell as a function of minimum feature size.

[2] Typical array efficiency defined as (core area/memory instance area).

[3] Typical number of extra masks is needed over standard CMOS logic process of equivalent technology. This is typically zero, however for some high-performance or highly reliable (noise immune) SRAMs special process options are sometimes applied like additional high- V_{th} pMOS cell transistors and using higher V_{dd} for better noise margin or zero- V_{th} access transistors for fast read-out.

[4] Nominal operating voltage refers to the HP and LSTP devices in the logic device requirements table in the PIDS chapter.

[5] Static power dissipation per cell in standby mode. This is measured at $I_{standby} \times V_{dd}$. (off-current and V_{dd} are taken from the HP and LSTP devices in the logic device requirements table in the PIDS Chapter.

[6] This parameter is a strong function of array architecture. However, a parameter for technology can be determined per cell level. Assume full V_{dd} swing on the Wordline (WL) and $0.8V_{dd}$ swing on the Bitline (BL). Determine the WL capacitance per cell (CWL) and BL capacitance per cell (CBL). Then: dyn. power cons. per MHz per cell = $V_{dd} \times CWL$ (per cell) $\times (V_{dd}) + V_{dd} \times CBL$ (per cell) $\times (V_{dd}) \times 10^6$.

[7] Read cycle time is the typical time it takes to complete a READ operation from an ADDR. Depends on memory size and architecture. Write cycle time is the typical time it takes to complete a WRITE operation to an ADDR. Depends on memory size and architecture.

[8] A FIT is a failure in 1 billion hours. This data is presented as FIT per megabit.

[9] Size of the standard 1T FLOTOX cell/size of the standard 2T SG cell/size of the standard NAND cell. Cell size is somewhat enhanced compared to stand-alone NVM due to integration issues.

[10] Array efficiency of the standard stacked gate NOR architecture/standard split gate NOR architecture/standard NAND architecture. Data refer to PIDS table the NVM device requirements table in the PIDS chapter.

[11] Extra process steps needed to realize the technology as compared to standard CMOS process.

[12] Maximum voltage required for operation, typically used in WRITE operation. Data refer to the NVM device requirements table in the PIDS chapter.

[13] Program time per cell is typically the time needed to program data to a cell. Erase time per cell is typically the time needed to erase a cell. Data retention requirement is the duration for which the data must remain non-volatile even under worst-case conditions. Endurance requirement specifies the number of times the cell can be programmed and erased.

[14] Size of the standard cell for embedded trench DRAM cell. Data refer to PIDS table the DRAM requirements table in the PIDS chapter.